

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-195976

(43)公開日 平成11年(1999)7月21日

(51)Int.Cl.<sup>a</sup>  
H 03 K 19/0944  
G 06 F 17/50  
H 01 L 27/04  
21/822

識別記号

F I  
H 03 K 19/094 A  
G 06 F 15/60 6 5 6 D  
6 6 4 A  
6 6 8 A  
H 01 L 27/04 A  
審査請求 未請求 請求項の数26 O L (全 23 頁)

(21)出願番号 特願平9-359277

(22)出願日 平成9年(1997)12月26日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 加藤 直樹  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72)発明者 矢野 和男  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72)発明者 秋田 庸平  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(74)代理人 弁理士 小川 勝男

最終頁に続く

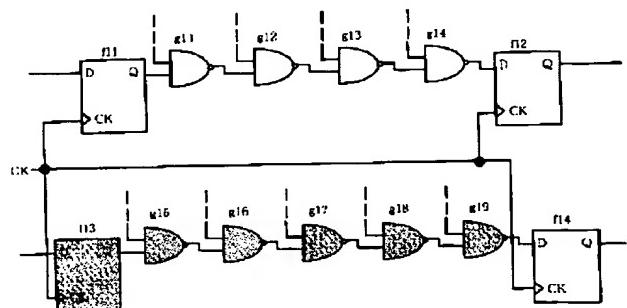
(54)【発明の名称】 半導体集積回路装置およびセルライブラリを記憶した記憶媒体および半導体集積回路の設計方法

(57)【要約】

【課題】 MOSFETにより構成される半導体集積回路装置において、MOSFETのリーク電流による消費電力の増加と動作速度の調和を好適に図った半導体集積回路装置を提供することにある。

【解決手段】 半導体集積回路装置中の複数の信号経路について、信号経路に沿って信号が伝わるディレイを鑑み、ディレイに余裕のある経路においては、高しきい値電圧のMOSFETにより構成し、逆に、ディレイに余裕のない経路においては、リーク電流は大きいが動作速度が速いような低しきい値電圧のMOSFETにより構成することである。

図 1



## 【特許請求の範囲】

【請求項1】半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、前記スイッチング素子には、低しきい値電圧のスイッチング素子と高しきい値電圧のスイッチング素子の少なくとも2種以上のスイッチング素子があり、前記信号の伝播する経路が複数存在し、第1の経路の論理ゲートを構成するスイッチング素子のしきい値電圧と、第2の信号経路の論理ゲートを構成するスイッチング素子のしきい値電圧が異なる事を特徴とする半導体集積回路装置。

【請求項2】半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、前記スイッチング素子には、低しきい値電圧のスイッチング素子と高しきい値電圧のスイッチング素子の少なくとも2種以上のスイッチング素子があり、前記信号の伝播する1つの経路上に、低しきい値電圧のスイッチング素子により構成された論理ゲートと高しきい値電圧のスイッチング素子により構成された論理ゲートが混在する事を特徴とする半導体集積回路装置。

【請求項3】半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、前記スイッチング素子には、低しきい値電圧のスイッチング素子と高しきい値電圧のスイッチング素子の少なくとも2種以上のスイッチング素子があり、第1のノードから第2のノードへの信号経路と、第2のノードから第3のノードへの経路および第2のノードから第4のノードへの経路に分岐するような信号経路が存在し、第1のノードから第2のノードまでの経路上の全論理ゲート数に対する低しきい値のスイッチング素子により構成される論理ゲート数の比率が、第2のノードから第3のノードまでの経路および第2のノードから第4のノードまでの経路上の全論理ゲート数に対する低しきい値のスイッチング素子により構成される論理ゲート数の比率より高い事を特徴とする半導体集積回路装置。

【請求項4】半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、前記スイッチング素子には、低しきい値電圧のスイッチング素子と高しきい値電圧のスイッチング素子の少なくとも2種以上のスイ

ッチング素子があり、第1のノードから第2のノードへの信号経路および第3のノードから第2のノードへの経路および第2のノードから第4のノードへの経路が存在し、第2のノードから第4のノードまでの経路上の全論理ゲート数に対する低しきい値のスイッチング素子により構成される論理ゲート数の比率が、第1のノードから第2のノードまでの経路および第3のノードから第2のノードまでの経路上の全論理ゲート数に対する低しきい値のスイッチング素子により構成される論理ゲート数の比率より高い事を特徴とする半導体集積回路装置。

【請求項5】前記信号の伝播する経路とは、第1の経路として、半導体集積回路の入力ピンから信号が最初に到達する、状態保持回路の入力ピンまでの経路、第2の経路として、状態保持回路の出力ピンから次に信号が到達する状態保持回路の入力ピンまでの経路、第3の経路として、状態保持回路の出力ピンから他の状態保持回路を経由せずに信号が到達する半導体集積回路の出力ピンまでの経路の3種類の経路、または、前記3種類の経路の部分経路であることを特徴とする請求項1から4記載のうちのいずれかに記載の半導体集積回路装置。

【請求項6】半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、少なくとも第1、第2の状態保持回路および第1、第2、第3、第4のスイッチング素子を有し、

第1の動作電位点が給電される第1動作電位供給線、第2の動作点電位が給電される第2の動作電位供給線および第1、第2のノードを有し、

前記第1の状態保持回路の出力ピンまたは半導体集積回路の入力ピンが、直接、または、1つまたは複数の論理ゲートを経由し、前記第1および前記第2のスイッチング素子のゲート電極に接続され、

前記第1のスイッチング素子は、前記第1の動作電位点と前記第1のノードの間にソース・ドレイン経路を持つように接続されており、

前記第2のスイッチング素子は、前記第2の動作電位点と前記第1のノードの間にソース・ドレイン経路を持つように接続されており、

前記第1のノードが、前記第3および前記第4のスイッチング素子のゲート電極に接続され、

前記第3のスイッチング素子は、前記第1の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、

前記第4のスイッチング素子は、前記第2の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、

さらに、前記第2のノードは、直接、または、1つまたは複数の論理ゲートを経由し、前記第2の状態保持回路の

入力ピンまたは半導体集積回路の出力ピンに接続され、前記第1のスイッチング素子と前記第3のスイッチング素子のしきい値電圧が異なる、または、前記第2のスイッチング素子と前記第4のスイッチング素子のしきい値電圧が異なることを特徴とする半導体集積回路装置。

【請求項7】半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、少なくとも第1、第2、第3の状態保持回路および第1、第2、第3、第4、第5、第6のスイッチング素子を有し、

第1の動作電位点が給電される第1動作電位供給線、第2の動作点電位が給電される第2の動作電位供給線および第1、第2、第3のノードを有し、前記第1の状態保持回路の出力ピンまたは半導体集積回路の入力ピンが、直接、または、1つまたは複数の論理ゲートを経由し、前記第1および前記第2のスイッチング素子のゲート電極に接続され、

前記第1のスイッチング素子は、前記第1の動作電位点と前記第1のノードの間にソース・ドレイン経路を持つように接続されており、前記第2のスイッチング素子は、前記第2の動作電位点と前記第1のノードの間にソース・ドレイン経路を持つように接続されており、前記第1のノードが、前記第3、第4、第5、第6のスイッチング素子のゲート電極に接続され、

前記第3のスイッチング素子は、前記第1の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、

前記第4のスイッチング素子は、前記第2の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、

前記第5のスイッチング素子は、前記第1の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、

前記第6のスイッチング素子は、前記第2の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、

さらに、前記第2のノードは、直接、または、1つまたは複数の論理ゲートを経由し、前記第2の状態保持回路の入力ピンまたは半導体集積回路の出力ピンに接続され、さらに、前記第3のノードは、直接、または、1つまたは複数の論理ゲートを経由し、前記第3の状態保持回路の入力ピンまたは半導体集積回路の出力ピンに接続され、前記第3のスイッチング素子のしきい値電圧が前記第1のスイッチング素子のしきい値電圧より高い、または、前記第4のスイッチング素子のしきい値電圧が前記第2のスイッチング素子のしきい値電圧より高いことを特徴とする半導体集積回路装置。

【請求項8】半導体基体に形成されたスイッチング素子

によって構成された論理ゲートを有し、少なくとも1つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、

少なくとも第1、第2、第3の状態保持回路および第1、第2、第3、第4、第5、第6、第7、第8のスイッチング素子を有し、

第1の動作電位点が給電される第1の動作点電位供給線、第2の動作点電位が給電される第2の動作電位供給線および第1、第2、第3のノードを有し、

前記第1の状態保持回路の出力ピンまたは半導体集積回路の入力ピンが、直接、または、1つまたは複数の論理ゲートを経由し、前記第1および前記第2のスイッチング素子のゲート電極に接続され、

前記第1のスイッチング素子は、前記第1の動作電位点と前記第1のノードの間にソース・ドレイン経路を持つように接続されており、

前記第2のスイッチング素子は、前記第2の動作電位点と前記第1のノードの間にソース・ドレイン経路を持つように接続されており、

前記第2の状態保持回路の出力ピンまたは半導体集積回路の入力ピンが、直接、または、1つまたは複数の論理ゲートを経由し、前記第3および前記第4のスイッチング素子のゲート電極に接続され、

前記第3のスイッチング素子は、前記第1の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、

前記第4のスイッチング素子は、前記第2の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、

前記第1のノードが、前記第5および前記第6のスイッチング素子のゲート電極に接続され、

前記第2のノードが、前記第7および前記第8のスイッチング素子のゲート電極に接続され、

前記第5および第7のスイッチング素子は、前記第1の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、

前記第6および第8のスイッチング素子は、前記第2の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、

さらに、前記第3のノードは、直接、または、1つまたは複数の論理ゲートを経由し、前記第3の状態保持回路の入力ピンまたは半導体集積回路の出力ピンに接続され、前記第1のスイッチング素子のしきい値電圧が前記第5または前記第7のスイッチング素子のしきい値電圧より高い、または、前記第2のスイッチング素子のしきい値電圧が前記第6または前記第8のスイッチング素子のしきい値電圧より高いことを特徴とする半導体集積回路装置。

【請求項9】半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1つ

または複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、  
 少なくとも第1、第2、第3の状態保持回路および第1、第2、第3、第4、第5、第6のスイッチング素子を有し、  
 第1の動作電位点が給電される第1動作電位供給線、第2の動作点電位が給電される第2の動作電位供給線および第1、第2、第3のノードを有し、  
 複数の論理ゲートを直列に接続した第1、第2の論理ゲート群を有し、  
 前記第1の状態保持回路の出力ピンまたは半導体集積回路の入力ピンが、直接、または、1つまたは複数の論理ゲートを経由し、前記第1のスイッチング素子のゲート電極および前記第2のスイッチング素子のゲート電極に接続され、  
 前記第1のスイッチング素子は、前記第1の動作電位点と第1のノードの間にソース・ドレイン経路を持つように接続されており、  
 前記第2のスイッチング素子は、前記第1のノードと前記第2の動作電位点の間にソース・ドレイン経路を持つように接続されており、  
 前記第1のノードが、前記第3、第4、第5、第6のスイッチング素子のゲート電極に接続され、  
 前記第3のスイッチング素子は、前記第1の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、  
 前記第4のスイッチング素子は、前記第2のノードと前記第2の動作電位点の間にソース・ドレイン経路を持つように接続されており、  
 前記第5のスイッチング素子は、前記第1の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、  
 前記第6のスイッチング素子は、前記第3のノードと前記第2の動作電位点の間にソース・ドレイン経路を持つように接続されており、  
 さらに、前記第2のノードは、前記第1の論理ゲート群を経由し、前記第2の状態保持回路の入力ピンに接続され、  
 さらに、前記第3のノードは、前記第2の論理ゲート群を経由し、前記第3の状態保持回路の入力ピンに接続され、  
 前記第1の論理ゲート群は、前記第2の論理ゲート群より論理ゲート段数が多く、  
 前記第5のスイッチング素子のしきい値電圧が前記第1および第3のスイッチング素子のしきい値電圧より高い、または、前記第6のスイッチング素子のしきい値電圧が前記第2および第4のスイッチング素子のしきい値電圧より高いことを特徴とする半導体集積回路装置。  
**【請求項10】** 半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1

つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、  
 少なくとも第1、第2、第3の状態保持回路および第1、第2、第3、第4、第5、第6、第7、第8のスイッチング素子を有し、  
 第1の動作電位点が給電される第1動作電位供給線、第2の動作点電位が給電される第2の動作電位供給線および第1、第2、第3のノードを有し、  
 複数の論理ゲートを直列に接続した第1、第2の論理ゲート群を有し、  
 前記第1の状態保持回路の出力ピンが、前記第1の論理ゲート群を経由し、前記第1および前記第2のスイッチング素子のゲート電極に接続され、  
 前記第1のスイッチング素子は、前記第1の動作電位点と前記第1のノードの間にソース・ドレイン経路を持つように接続されており、  
 前記第2のスイッチング素子は、前記第2の動作電位点と前記第1のノードの間にソース・ドレイン経路を持つように接続されており、  
 前記第2の状態保持回路の出力ピンが、前記第1の論理ゲート群を経由し、前記第3および前記第4のスイッチング素子のゲート電極に接続され、  
 前記第3のスイッチング素子は、前記第1の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、  
 前記第4のスイッチング素子は、前記第2の動作電位点と前記第2のノードの間にソース・ドレイン経路を持つように接続されており、  
 前記第1のノードが、前記第5および前記第6のスイッチング素子のゲート電極に接続され、  
 前記第2のノードが、前記第7および前記第8のスイッチング素子のゲート電極に接続され、  
 前記第5および第7のスイッチング素子は、前記第1の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、  
 前記第6および第8のスイッチング素子は、前記第2の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、  
 さらに、前記第3のノードは、直接、または、1つまたは複数の論理ゲートを経由し、前記第3の状態保持回路の入力ピンに接続され、前記第1の論理ゲート群は、前記第2の論理ゲート群より論理ゲート段数が多く、  
 前記第3のスイッチング素子のしきい値電圧が前記第1および第5または第7のスイッチング素子のしきい値電圧より高い、または、前記第4のスイッチング素子のしきい値電圧が前記第2および第6または第8のスイッチング素子のしきい値電圧より高いことを特徴とする半導体集積回路装置。

【請求項11】半導体基体に形成されたスイッチング素子によって構成された論理ゲートを有し、少なくとも1つまたは複数の入力信号に対し、前記論理ゲートにより所定の処理を行い、少なくとも1つまたは複数の信号を出力する半導体集積回路装置であり、

少なくとも第1、第2、第3のスイッチング素子を有し、第1の動作電位点が給電される第1の動作電位供給線、第2の動作電位が給電される第2の動作電位供給線および第1、第2、第3のノードを有し、前記第1のノードが前記第1のスイッチング素子のゲート電極に接続され、

前記第2のノードが前記第1のスイッチング素子のドレイン電極に接続され、

前記第1のスイッチング素子のソース電極が前記第2および第3のスイッチング素子のゲート電極に接続され、

前記第2のスイッチング素子は、前記第1の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、

前記第3のスイッチング素子は、前記第2の動作電位点と前記第3のノードの間にソース・ドレイン経路を持つように接続されており、

前記第1および第2のノードに信号が入力され、前記第3のノードから信号を出力する構成をなし、前記第1のスイッチング素子のしきい値電圧が前記第2および第3のスイッチング素子のしきい値電圧より低いことを特徴とする半導体集積回路装置。

【請求項12】前記しきい値電圧が異なるスイッチング素子を構成する手段として、前記スイッチング素子のゲート酸化膜下の半導体基板の不純物濃度を変えることを特徴とする請求項1から11のうちのいずれかに記載の半導体集積回路装置。

【請求項13】前記しきい値電圧が異なるスイッチング素子を構成する手段として、前記スイッチング素子の基板に供給するバイアス電圧値を変えることを特徴とする請求項1から11のうちのいずれかに記載の半導体集積回路装置。

【請求項14】前記しきい値電圧が異なるスイッチング素子を構成する手段として、前記スイッチング素子のゲート酸化膜厚さ法を変えることを特徴とする請求項1から11のうちのいずれかに記載の半導体集積回路装置。

【請求項15】前記しきい値電圧が異なるスイッチング素子を構成する手段として、前記スイッチング素子のゲート長を変えることを特徴とする請求項1から11のうちのいずれかに記載の半導体集積回路装置。

【請求項16】前記しきい値電圧が異なるスイッチング素子を構成する手段として、前記スイッチング素子のゲート酸化膜下の半導体基板の不純物濃度を変える第1の手段および前記スイッチング素子の基板に供給するバイアス電圧値を変える第2の手段および前記スイッチング素子のゲート酸化膜厚さ法を変える第3の手段および前

記スイッチング素子のゲート長を変える第4の手段のうち、複数の手段を組み合せることを特徴とする請求項1から11のうちのいずれかに記載の半導体集積回路装置。

【請求項17】前記論理ゲートを1次元の列状に配置し、複数の列を列と直交方向に並べることにより、前記論理ゲートを2次元的に配置した半導体集積回路装置であって、使用するスイッチング素子のしきい値電圧の種類と同じ数の列と平行な基板バイアス動作電位供給線を有することを特徴とする請求項13記載の半導体集積回路装置。

【請求項18】互いに絶縁された複数のウェル領域を有し、前記しきい値電圧が異なるスイッチング素子は異なるウェル領域上に構成されることを特徴とする、請求項13記載の半導体集積回路装置。

【請求項19】前記論理ゲートを1次元の列状に配置し、複数の列を列と直交方向に並べることにより、前記論理ゲートを2次元的に配置した半導体集積回路装置であって、同一のしきい値電圧のスイッチング素子により構成される論理ゲートを同一の列上に配置し、列に沿った同一のウェル領域上に構成し、基板バイアス電源を供給するために列と平行な動作電位供給線を有することを特徴とする請求項18記載の半導体集積回路装置。

【請求項20】隣接する複数の列の論理ゲートが、同一のしきい値電圧のスイッチング素子により構成される場合、前記複数の列に渡り、ウェル領域を共有することを特徴とする請求項19記載の半導体集積回路装置。

【請求項21】予め設計された特定の論理機能を有する論理回路部品すなわちセルについて、上記セル毎の機能、形状、ディレイ、消費電力等を記述したセルライブラリを記憶した記憶媒体であって、同一の機能と同一の形状をもち、しきい値電圧の異なるスイッチング素子により構成されたことにより、ディレイおよび消費電力が異なった少なくとも2種類以上のセルが登録されているセルライブラリを記憶することを特徴とするセルライブラリを記憶した記憶媒体。

【請求項22】特許請求項21記載のセルライブラリを記憶した記憶媒体を用い、特許請求項1から20のうちのいずれかに記載の半導体集積回路装置を設計する設計方法であり、少なくとも、消費電力および信号経路のディレイを計算するステップと、上記消費電力および信号経路のディレイを計算するステップによる計算結果を用い、同一の機能と同一の形状をもち、しきい値電圧の異なるスイッチング素子により構成された少なくとも2種類以上のセルの中から1つのセルを選択し、論理回路に割り当てるステップを含むことを特徴とする半導体集積回路の設計方法。

【請求項23】特許請求項21記載のセルライブラリを記憶した記憶媒体を用い、特許請求項1から20記載の半導体集積回路装置を設計する設計方法であり、少なくとも、高しきい値のスイッチング素子により構成されたセ

ルのみを用いて論理回路を設計するステップと、消費電力および信号経路のディレイを計算するステップと、上記高しきい値のスイッチング素子により構成されたセルのみを用いて設計された論理回路の一部を、同一機能と同一形状を持つ低しきい値のスイッチング素子により構成されたセルに置き換えるステップを含むことを特徴とする半導体集積回路の設計方法。

【請求項24】信号経路中にラッチ回路、フリップフロップ回路、信号出力端子、あるいは信号入力端子の少なくとも一つを含む回路を複数有し、

上記回路の間の信号経路中には閾値の異なる複数のトランジスタを有することを特徴とする半導体集積回路。

【請求項25】信号経路中にクロック信号により制御される第1の回路を複数有し、

上記第1の回路の間の信号経路中には閾値の異なる複数のトランジスタを含む第2の回路を有することを特徴とする半導体集積回路。

【請求項26】信号経路中にクロック信号により制御される第1の回路を複数有し、

上記第1の回路の間の信号経路中には閾値の異なる複数のトランジスタからなる第2の回路を有する半導体集積回路装置の設計方法であって、

上記第1の回路相互間の信号遅延時間が、所定目標値を超えないように、上記第2の回路を構成するトランジスタの閾値を設定することを特徴とする半導体集積回路の設計方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に係わり、特に、高速かつ低電圧動作に好適な半導体集積回路装置およびセルライブラリを記憶した記憶媒体に関する。

##### 【0002】

【従来の技術】現在製造されている半導体集積回路装置においては、高集積度、低消費電力という特徴を持つMOSFETが広く用いられている。MOSFETには、しきい値電圧が存在し、このしきい値電圧によりFETのオン・オフの特性が決まる。ドライブ能力を上げ、回路の動作速度を向上させるためには、しきい値電圧を低く設定しなければならない。

【0003】しかし、1993シンポジウム・オン・ブイ・エル・エス・アイ・サーキットダイジェスト・オブ・テクニカル・ペーパーズ(1993年5月)第45頁から第46頁(1993 Symposium on VLSI Circuits Digest of Technical Papers, pp45-46(May 1993))に述べられているように、しきい値があるをあまり低く設定すると、MOSFETのサブスレッショルド特性(テーリング特性)によって、FETを完全にオフすることができなくなり、サブスレッショルドドリーク電流(以下ドリーク電流)が増大し、半導体集積回路の消費電力が非常に大きくなるという問

題がある。

【0004】一般に、MOSFETのしきい値電圧を高くするためには、ゲート酸化膜厚を高くしたり、ゲート酸化膜下の不純物濃度を高くする方法がとられている。つまりMOSFETにより構成される半導体集積回路装置を設計する際には、所望する動作周波数と消費電力を勘案し、MOSFETのしきい値電圧を決定し、半導体製造プロセス条件が決定されている。

【0005】半導体集積回路装置中のMOSFETのしきい値電圧を、一律一定の値に設定することが通常行われているが、近年の発明によれば、また、1996 アイ・イー・イー・イー・インターナショナル・ソリッドステイト・サーキット・カンファレンスダイジェスト・オブ・テクニカル・ペーパーズ(1996年)第166頁から第167頁(IEEE International Solid State Circuits Conference Digest of Technical Papers, pp.166-167, 1996)にあるように、スタンバイ時や動作時等の動作状態に応じて、基板バイアス電圧値を変化させMOSFETのしきい値電圧をコントロールすることを可能とする半導体集積回路が提案されている。

【0006】特開平8-274620では、半導体集積回路を複数の機能ブロックで構成する場合に、機能ブロックごとに、独立に基板バイアス電圧値を変化させ高速性が重視されるブロックは低しきい値電圧のMOSFETにし、そうでないブロックは高しきい値電圧のMOSFETとして動作させることも提案されている。

【0007】また、アイ・イー・イー・イー・ジャーナル・オブ・ソリッドステイト・サーキット、VOL.30, NO.8(1995年8月)第847頁から第854頁(IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.30, NO.8, AUGUST 1995)によれば、電源供給線と擬似電源供給線を設け、これらの間にスイッチングMOSFETを配し、主回路には、擬似電源供給線から電源を供給する構成をとり、スタンバイ時には、上記スイッチングMOSFETをOFFし、主回路に電源を供給しないことにより、低消費電力化を実現する提案がなされている。ここで、上記スイッチングMOSFETは、動作時にはスイッチング動作をせずONの状態を保つために、主回路を構成するMOSFETと比べ、高しきい値電圧にしておくことが提案されている。

##### 【0008】

【発明が解決しようとする課題】上述したように、上記従来技術においてはスタンバイ時やアクティブ動作時等の動作状態に応じて、基板バイアス電圧値を変化させMOSFETのしきい値電圧をコントロールしたり、機能ブロックごとに、独立に基板バイアス電圧値を変化させ高速性が重視されるブロックは低しきい値電圧のMOSFETにし、そうでないブロックは高しきい値電圧のMOSFETとして動作させることが提案されている。さらには、動作時にスイッチング速度が要求されない特別なMOSFETのしきい値電圧を高くすることが提案されている。ところが、スタ

ンバイ時に一律にしきい値電圧を上げて、アクティブ動作時には、一律にしきい値電圧を下げる方法では、アクティブ動作時に高速に動作させるためには、リーク電流による消費電力の増加を避けることができない。また、実際には、同一の機能ブロックにおいてさえも、機能ブロックを構成する個々の論理ゲートによっては、必要な動作速度が異なる場合が存在することが発明者らの検討により判明した。

【0009】図11は、100MHzで動作する半導体集積回路におけるフリップフロップ間の経路のディレイ値の度数分布を示したものである。横軸は経路のディレイ値、縦軸はそのディレイ値をもつ経路の度数を示している。100MHzで動作するためには、図中の(1)の分布のように、全経路がディレイ値10nsecより小さい値に分布している必要がある。この半導体集積回路の動作速度を125MHzにしたい場合には、全経路がディレイ値8nsecより小さい値に分布している必要が生じる。そのために、従来の技術によれば、プロセス条件を変える、または、基板バイアス電源を変えることにより、回路を構成するMOSFETのしきい値電圧を一律低くしていた。

【0010】その結果、例えば、図11中の(2)の分布のように変化する。しかし、この時には、リーク電流による消費電力が増大し、要求される消費電力の条件を満足しなくなる場合がある。また、逆に、消費電力をもっと低くしたい場合には、従来の技術によれば、プロセス条件を変える、または、基板バイアス電源を変えることにより、回路を構成するMOSFETのしきい値電圧を一律高くしていた。その結果、例えば、図中の(3)分布のように変化する。つまり、回路の動作速度が低下し、100MHzは実現できなくなってしまう。

【0011】そこで、動作速度を重視するか、消費電力を重視するかを決めて、どちらかを妥協せざるを得なかった。本発明の課題は、上記したような従来技術の問題点を解決することにある。すなわち、MOSFETにより構成される半導体集積回路装置において、リーク電流による消費電力の増加と動作速度の調和を好適にはかり、アクティブ動作時のMOSFETのリーク電流による消費電力の増加を抑えかつ高速に動作可能な半導体集積回路装置を提供することにある。

【0012】さらには、リーク電流による消費電力の増加と動作速度の調和を好適に設計するために必要なセルライブラリを格納した記憶媒体を提供することにある。

【0013】さらには、リーク電流による消費電力の増加と動作速度の調和を好適に設計するための半導体集積回路の設計方法を提供することにある。

#### 【0014】

【課題を解決するための手段】上記課題を解決するための本発明の骨子は、ある一定の動作状態、例えば、高速動作を要求されるアクティブ動作状態において、同一の機能ブロックにおいてさえも、しきい値電圧の異なる

MOSFETにより半導体集積回路装置を構成する点にある。

【0015】詳しく述べると、本発明の半導体集積回路装置の第1の特徴は、半導体集積回路装置中の複数の信号経路について、各々の信号経路に沿って信号が伝わる時間すなわちディレイを鑑み、要求される動作周波数を満足するために、ディレイに余裕のある経路においては、動作速度は遅いがリーク電流が小さいような高しきい値電圧のMOSFETにより構成し、逆に、ディレイに余裕のない経路においては、リーク電流は大きいが動作速度が速いような低しきい値電圧のMOSFETにより構成することである。

【0016】また、本発明の半導体装置の第2の特徴は、半導体集積回路装置中のある信号経路を高しきい値電圧のMOSFETのみで構成すると、その経路のディレイが大きくなり要求される動作周波数を満足することができず、低しきい値のMOSFETのみで構成すると、逆にディレイに余裕が生じ、無駄にリーク電流による消費電力を増加させる場合に、信号経路にそって、低しきい値のMOSFETと高しきい値電圧のMOSFETを適宜混在させ、要求される動作周波数を満たすディレイを確保しつつ、リーク電流を最小限に抑えることである。

【0017】さらに、本発明の半導体装置の第3の特徴は、半導体集積回路装置中の1つの始点ノードからの信号経路が、あるノードで分岐して複数のノードへ至る信号経路において、前記したように、低しきい値のMOSFETと高しきい値電圧のMOSFETを適宜混在させる場合、低しきい値のMOSFETの使用を最小限にするために、始点ノードから分岐ノードまでの経路に低しきい値のMOSFETを多く使用することである。また、複数の始点ノードからの信号経路が、あるノードで合流し、1つの終点ノードに至る経路に対して、前記したように、低しきい値のMOSFETと高しきい値電圧のMOSFETを適宜混在させる場合、低しきい値のMOSFETの使用を最小限にするために、合流ノードから終点ノードまでの経路に低しきい値のMOSFETを多く使用することである。

【0018】さらに、本発明において、しきい値電圧の異なるMOSFETにより半導体集積回路を構成するための第1の手段は前記MOSFETのゲート酸化膜下の半導体基板の不純物濃度を変えることであり、第2の手段は前記MOSFETの基板に供給するバイアス電圧値を変えることであり、第3の手段は前記MOSFETのゲート酸化膜厚寸法を変えることであり、第4の手段は前記MOSFETのゲート長を変えることである。

【0019】さらに、上記した4つの手段を組み合わせることにより、しきい値電圧の異なるMOSFETを構成することを特徴とする。

【0020】さらに、上記した、しきい値電圧の異なるMOSFETを構成する第2の手段において、基板に供給するバイアス電圧値を変えるために、互いに絶縁された複数の島状のウェル領域を構成し、前記しきい値電圧が異なる

るMOSFETは異なるウェル領域上に配置されることを特徴とすることである。

【0021】さらに、上記したように、しきい値電圧が異なるMOSFETを異なるウェル領域上に構成するために、論理ゲートを1次元の列状に配置し、複数の列を列と直交方向に並べることにより、論理ゲートを2次元的に配置し、同一のしきい値電圧のMOSFETにより構成される論理ゲートを、同一の列上に配置し、列に沿った同一のウェル領域上に同じしきい値電圧のMOSFET構成し、列と同方向の配線によりバイアス電源を供給することを特徴とすることである。

【0022】さらに、上記したように、同一のしきい値電圧のMOSFETにより構成される論理ゲートを、同一の列上に配置し、列に沿った同一のウェル領域上に構成するさいに、隣接する複数の列の論理ゲートが同一のしきい値電圧のMOSFETにより構成される場合、前記複数の列に渡りウェル領域を共有することを特徴とすることである。

【0023】さらに、上記したような半導体集積回路装置を設計するために使用するセルライブラリを記憶した記憶媒体は、同一の機能と同一の外形をもち、しきい値電圧の異なるMOSFETにより構成されたことにより、ディレイおよび消費電力が異なった少なくとも2種類以上のセルが登録されていることを特徴とすることである。

【0024】さらに、上記したような半導体集積回路装置を設計するための設計方法は、上述したセルライブラリを記憶した記憶媒体を用い、信号経路のディレイを計算するステップと、上記信号経路のディレイを計算するステップによる計算結果を用い、同一の機能と同一の形状をもち、しきい値電圧の異なるスイッチング素子により構成された少なくとも2種類以上のセルの中から1つのセルを選択し、論理回路に割り当てるステップを含むことを特徴とする。

【0025】さらに、上記したような半導体集積回路装置を設計するための別の設計方法は、上述したセルライブラリを記憶した記憶媒体を用い、高しきい値のスイッチング素子により構成されたセルのみを用いて論理回路を設計するステップと、信号経路のディレイを計算するステップと、上記高しきい値のスイッチング素子により構成されたセルのみを用いて設計された論理回路のセルの一部を、同一機能と同一形状を持つ低しきい値のスイッチング素子により構成されたセルに置き換えるステップを含むことを特徴とする。

【0026】本願発明の他の観点では、信号経路中にラッチ回路、フリップフロップ回路、信号出力端子、あるいは信号入力端子のように信号の状態を保持する回路を複数有し、これらの回路の間の信号経路中には閾値の異なる複数のトランジスタを有する。あるいは、信号経路中にクロック信号により制御される第1の回路を複数有し、第1の回路の間の信号経路中には閾値の異なる複数

のトランジスタを含む第2の回路を有する。

【0027】設計思想としては、信号経路中にクロック信号により制御される第1の回路を複数有し、第1の回路の間の信号経路には閾値の異なる複数のトランジスタからなる第2の回路を有する半導体集積回路装置の設計方法であって、回路を構成する第1の回路相互間の信号遅延時間が所定目標値を超えないように、第2の回路を構成するトランジスタの閾値を設定する。

【0028】すなわち、閾値が同一のトランジスタを用いたとすれば、複数ある第1の回路間の経路のうちで、回路全体の動作速度を律速する遅延時間の大きな経路の出現を避け得ない。しかし、このような遅延時間の大きな経路に、閾値の小さな高速トランジスタを適宜用いることで当該経路の遅延時間を小さくすることができ、回路全体の動作周波数を改善することができる。

#### 【0029】

【発明の実施の形態】以下、本発明の実施例について、図面を参照しながら説明する。

【0030】図1は、本発明の代表的な実施例を示す図である。図1の回路は、フリップフロップf11からf14およびNAND素子g11からg19で構成されている。図では、説明を簡単にするためにg11からg19の論理ゲートを全てNANDで示しているが、本発明の半導体集積回路装置がNAND素子のみで構成される制限を持つものではない。また、図中で説明に関係のない信号は省略してある。図1の例の回路は、200MHzで動作させることとする。そのためには、フリップフロップf11にクロック信号CKが入力してから、信号がフリップフロップf12に入力するまでの経路のディレイ、および、フリップフロップf13にクロック信号CKが入力してから、信号がフリップフロップf14に入力するまでの経路のディレイが5nsec以内であることが求められる。ここで、NAND素子およびフリップフロップを高しきい値電圧のMOSFETで構成した場合のディレイを1nsec、低しきい値電圧のMOSFETで構成した場合のディレイを0.8nsecとする。

【0031】図1において、網掛けで示した論理ゲートつまり、f13、g15からg19は、低しきい値電圧のMOSFETにより構成され、白抜きで示した素子は、高しきい値電圧のMOSFETで構成されている。これにより、f11およびg11からg14を経てf12に至る経路のディレイは5nsecであり、f13およびg15からg19を経てf14に至る経路のディレイは4.8nsecになり、両方の経路とも5nsec以内であり目標の200MHzで動作させることができる。

【0032】ここで、従来技術のように全ての論理ゲートを高しきい値のMOSFETで構成すると、f13およびg15からg19を経てf14に至る経路のディレイは6nsecとなり、本回路は167MHzでしか動作させることができない。

【0033】次に、リーク電流に着目する。ここで、高しきい値電圧のMOSFETで構成した場合の1つの論理ゲートのリーク電流を1pAとし、低しきい値電圧のMOSFETで

構成した場合の1つの論理ゲートのリーク電流を5pAとする。この時、図1のように、信号経路毎に、論理ゲートを構成するMOSFETのしきい値電圧を変えた場合には、総リーク電流は37pAになる。従来技術のように、全ての論理ゲートを一律高しきい値電圧のMOSFETで構成した場合の総リーク電流は13pAになり、一律低しきい値電圧のMOSFETで構成した場合の総リーク電流は65pAになってしまふ。

【0034】つまり、図1の例では、リーク電流13pAで動作周波数167MHz、または、リーク電流65pAで動作周波数200MHzの選択しかできなかつたが、本発明によると、信号経路によって、リーク電流37pAで動作周波数200MHzを実現することができる。つまり、図1に示す実施例の骨子は、目標動作周波数を実現しつつ、リーク電流を抑えるために、半導体集積回路を構成する信号経路のディレイにより、低しきい値電圧のMOSFETと高しきい値電圧のMOSFETを使い分けることにある。

【0035】図2を用いて本発明の別の実施例を示す。図2の回路は、図1と全く同様な回路であるが、唯一異なるのは、図2では、論理ゲートg17が高しきい値電圧のMOSFETで構成されていることである。図1では、f13およびg15からg19を経てf14に至る経路の全ての論理ゲートが低しきい値電圧のMOSFETで構成されおり、そのディレイは4.8nsecであった。つまり、動作周波数200MHzであるためには、0.2nsecの余裕が存在したことになる。図2の場合は、f13およびg15からg19を経てf14に至る経路においても、高しきい値電圧のMOSFETで構成される素子を1つ混在させることにより、ディレイを5nsecとし、リーク電流をさらに削減することができ、総リーク電流は33pAになる。つまり、図2に示す実施例の骨子は、目標動作周波数を実現しつつ、リーク電流を最小限に抑えるために、1つの信号経路においても、しきい値電圧の異なるMOSFETを適宜混在させることである。

【0036】図3を用いて本発明のさらに別の実施例を示す。図3では、フリップフロップf31、f32、f33と、論理ゲートg301からg317により構成されている。f31からf32の経路およびf31からf33の経路の目標とするディレイを10nsecとする。各素子のディレイおよびリーク電流の値は図1および図2と同様とする。f31からf32の経路、f31からf33の経路のどちらも、11個の論理ゲートで構成されており、10nsecのディレイを実現するためには、11個の論理ゲート中で少なくとも5個の素子を低しきい値電圧のMOSFETで構成する必要がある。

【0037】この時、図3に示すように、両経路の共通部分であるg301からg305を低しきい値電圧のMOSFETで構成することにより、低しきい値電圧のMOSFETで構成する論理ゲート数を全体で最小にすることができる。この場合の総リーク電流は37pAであり、両経路の共通部分以外の論理ゲート例えばg307からg311およびg313からg317を低しきい値電圧のMOSFETで構成すると総リーク電流は57

pAとなり、従来技術のように全ての論理ゲートを低しきい値電圧のMOSFETで構成した場合は85pAとなる。つまり図3に示す実施例の骨子は、1つの始点ノードからの信号経路が、あるノードで分岐して複数のノードへ至る信号経路において、低しきい値のMOSFETと高しきい値電圧のMOSFETを適宜混在させる場合、低しきい値のMOSFETの使用を最小限にするために、始点ノードから分岐ノードまでの経路に低しきい値のMOSFETを多く使用することである。

【0038】図4を用いて本発明のさらに別の実施例を示す。図4は、フリップフロップf41、f42、f43と、論理ゲートg401からg417により構成されている。f41からf43の経路およびf42からf43の経路の目標とするディレイを図3同様に10nsecとする。各素子のディレイおよびリーク電流の値は図1から図3と同様とする。f41からf43の経路、f42からf43の経路のどちらも、11個の論理ゲートで構成されており、10nsecのディレイを実現するためには、11個の論理ゲート中で少なくとも5個の素子を低しきい値電圧のMOSFETで構成する必要がある。

【0039】この時、図4に示すように、両経路の共通部分であるg407からg411を低しきい値電圧のMOSFETで構成することにより、低しきい値電圧のMOSFETで構成する論理ゲート数を全体で最小にすることができる。この場合の総リーク電流は37pAであり、両経路の共通部分以外の論理ゲート例えばg401からg405およびg412からg416を低しきい値電圧のMOSFETで構成すると総リーク電流は57pAとなり、従来技術のように全ての論理ゲートを低しきい値電圧のMOSFETで構成した場合は85pAとなる。つまり図4に示す実施例の骨子は、複数の始点ノードからの信号経路が、あるノードで合流して1つのノードへ至る信号経路において、低しきい値のMOSFETと高しきい値電圧のMOSFETを適宜混在させる場合、低しきい値のMOSFETの使用を最小限にするために、合流ノードから終点ノードまでの経路に低しきい値のMOSFETを多く使用することである。

【0040】図19を用いて、本発明のさらに別の実施例を説明する。図19は、フリップフロップf191から1つまたは複数の論理ゲートで構成される回路c191、論理ゲートg191、論理ゲートg192、論理ゲート群gg191を通ってフリップフロップf192に至る第1の信号経路および、フリップフロップf191から1つまたは複数の論理ゲートで構成される回路c191、論理ゲートg191、論理ゲートg193、論理ゲート群gg192を通ってフリップフロップf193に至る第2の信号経路が存在する例である。一律高しきい値電圧のMOSFETのみで構成すると両経路ともに目標ディレイをオーバーしてしまうとする。

【0041】この場合、両経路の共有論理ゲートであるg191のMOSFETを低しきい値電圧MOSFETで構成することは上述した。さらに、論理ゲート群gg191とgg192に着目すると、gg192は、N段の論理ゲートで構成され、gg191はg

g192よりM段多いN+M段で構成されている。この時、gg191を含む第1の信号経路が、gg192を含む第2の信号経路よりディレイが大きくなる。このような場合には、低しきい値電圧のMOSFETで構成したg191でファンアウトした第1の経路の論理ゲートg192を低しきい値電圧のMOSFETで構成する。図には示していないが、必要に応じてgg191の論理ゲートのいくつかを低しきい値電圧のMOSFETで構成する。

【0042】図20を用いて、本発明のさらに別の実施例を説明する。図20は、フリップフロップf201から論理ゲート群gg201、論理ゲートg201、論理ゲートg202、1つまたは複数の論理ゲートで構成される回路c201を通ってフリップフロップf203に至る第1の信号経路および、フリップフロップf202から論理ゲート群gg202、論理ゲートg203、論理ゲートg202、1つまたは複数の論理ゲートで構成される回路c201を通ってフリップフロップf203に至る第2の信号経路が存在する例である。一律高しきい値電圧のMOSFETのみで構成すると両経路ともに目標ディレイをオーバーしてしまうとする。

【0043】この場合、両経路の共有論理ゲートであるg202のMOSFETを低しきい値電圧MOSFETで構成することは上述した。さらに、論理ゲート群gg201とgg202に着目すると、gg202は、K段の論理ゲートで構成され、gg201はg202よりL段多いK+L段で構成されている。この時、gg201を含む第1の信号経路が、gg202を含む第2の信号経路よりディレイが大きくなる。このような場合には、第1の経路の論理ゲートg201を低しきい値電圧のMOSFETで構成する。図には示していないが、必要に応じてg201の論理ゲートのいくつかを低しきい値電圧のMOSFETで構成する。

【0044】図12で、pチャネルMOSFETおよびnチャネルMOSFETにより構成される相補型MOSFETを用いた本発明の実施例について説明する。フリップフロップf121の出力ピンは、1つまたは複数のMOSFETを通して、第1のpチャネルMOSFETpm1のゲートおよび第1のnチャネルMOSFETnm1のゲート電極に接続されている。pチャネルMOSFETpm1は、第1の動作電位供給線Vdd121と第1のノードnd1の間にソース・ドレイン経路を持つように接続され、nチャネルMOSFETnm1は、第1のノードnd1と第2の動作電位供給線Vss121との間にソース・ドレイン経路を持つように接続されている。

【0045】さらに、第1のノードnd1は、第2のpチャネルMOSFETpm2のゲートおよび第2のnチャネルMOSFETnm2のゲート電極に接続されている。pチャネルMOSFETpm2は、第1の動作電位供給線Vdd121と第2のノードnd2の間にソース・ドレイン経路を持つように接続され、nチャネルMOSFETnm2は、第2のノードnd2と第2の動作電位供給線Vss121との間にソース・ドレイン経路を持つように接続されている。さらに、第2のノードnd2は1つまたは複数のMOSFETを通して、第2のフリップフロップf122の入

力ピンに接続されている。

【0046】なお、本図ではフリップフロップf121、f122の内部はインバータ、トライステートゲート、トランスマニアゲート等を論理ゲート記号で示している。フリップフロップf121、f122には、クロック信号CKが入力されている。本図では、高しきい値電圧のMOSFETは細い実線で、低しきい値電圧のMOSFETは太い実線で示している。以下、この表記を用いる。

【0047】図12では、pチャネルMOSFETpm2およびnチャネルMOSFETnm2が低しきい値電圧のMOSFETであり、pチャネルMOSFETpm1およびnチャネルMOSFETnm1が高しきい値電圧のMOSFETである。枠で囲み示しているように、pチャネルMOSFETpm1およびnチャネルMOSFETnm1によりインバータ論理ゲートinv1が構成され、pチャネルMOSFETpm2およびnチャネルMOSFETnm2により、インバータ論理ゲートinv2が構成されている。本回路は、クロック信号CKがフリップフロップf121に入力されてから、フリップフロップf121の出力ピンから信号が出力され、インバータinv1およびインバータinv2を通過しフリップフロップf122の入力に信号が到達するまでの時間つまりこの経路のディレイがクロック信号CKの周期以内である必要がある。

【0048】実際は、フリップフロップのセットアップに必要な時間や、クロック信号がフリップフロップに到達する時間のずれ等を考慮する必要があるが、ここでは説明の本質に関係ないために無視する。つまり、この経路のディレイは、フリップフロップf121にクロック信号が入力してからフリップフロップf121が信号を出力するためのディレイ、インバータinv1のディレイとインバータinv2のディレイの和になる。ここで、pチャネルMOSFETpm1およびnチャネルMOSFETnm1およびpチャネルMOSFETpm2およびnチャネルMOSFETnm2を全て高しきい値電圧のMOSFETで構成した場合にはこの経路のディレイがクロック周期より大きくなり、全てを低しきい値MOSFETで構成した場合ディレイに余裕が発生する（つまり、無駄に電力を消費することになる）とする。

【0049】このように、従来の技術では、ディレイと消費電力を極限まで最適化することはできなかったが、本実施例のように、pチャネルMOSFETpm2およびnチャネルMOSFETnm2のみを低しきい値電圧にすることで、ディレイを間に合わせた上で消費電力を押さえることが可能になる。

【0050】図13を用いて、pチャネルMOSFETおよびnチャネルMOSFETにより構成される相補型MOSFETを用いた本発明の別の実施例について説明する。フリップフロップf131の出力ピンは第1のpチャネルMOSFETpm131のゲートおよび第1のnチャネルMOSFETnm131のゲート電極に接続されている。pチャネルMOSFETpm131は、第1の動作電位供給線Vdd131と第1のノードnd131の間にソース・ドレイン経路を持つように接続され、nチャネルMOSFETnm131

は、第1のノードnd131と第2の動作電位供給線Vss131との間にソース・ドレイン経路を持つように接続されている。さらに、第1のノードnd131は、第2のpチャネルMOSFETpm132のゲートおよび第2のnチャネルMOSFETnm132および第3のpチャネルMOSFETpm134のゲートおよび第3のnチャネルMOSFETnm134のゲートに接続されている。

【0051】pチャネルMOSFETpm132は、第1の動作電位供給線Vdd131と第2のノードnd132との間にソース・ドレイン経路を持つように接続され、さらに第4のpチャネルMOSFETpm133も、同様に第1の動作電位供給線Vdd131と第2のノードnd132との間にソース・ドレイン経路を持つように接続されている。nチャネルMOSFETnm132と第4のnチャネルMOSFETnm133は、第2のノードnd132と第2の動作電位供給線Vss131との間にソース・ドレイン経路を持つように直列に接続されている。

【0052】pチャネルMOSFETpm134と第5のpチャネルMOSFETpm135は、第1の動作電位供給線Vdd131と第3のノードnd133との間にソース・ドレイン経路を持つように直列に接続され、nチャネルMOSFETnm132は、第3のノードnd133と第3の動作電位供給線Vss131との間にソース・ドレイン経路を持つように接続されている。同様に、第5のnチャネルMOSFETnm135も、第3のノードnd133と第2の動作電位供給線Vss131との間にソース・ドレイン経路を持つように接続されている。

【0053】さらに、第2のノードnd132は1つまたは複数の論理ゲートで構成される回路c131（本図では略記として楕円形で示した）を経由して第2のフリップフロップf132の入力ピンに接続されている。また、第3のノードnd133は1つまたは複数の論理ゲートで構成される回路c132（c131同様に楕円形で示した）を経由して第3のフリップフロップf133の入力ピンに接続されている。

【0054】なお、本図ではフリップフロップの内部ゲートは省略した。フリップフロップには、クロック信号CKが入力されている。また、枠で用み示しているように、pチャネルMOSFETpm131およびnチャネルMOSFETnm131によりインバータ論理ゲートinv131が構成され、pチャネルMOSFETpm132、pm133およびnチャネルMOSFETnm132、nm133により、NAND論理ゲートNAND131が構成され、pチャネルMOSFETpm134、pm135およびnチャネルMOSFETnm134、nm135により、NOR論理ゲートNOR131が構成されている。なお、NAND131にはinv131の出力以外にin2信号が入力され、NOR131にはinv131の出力以外にin3信号が入力されている。

【0055】本回路は、クロック信号CKがフリップフロップf131に入力されてから、フリップフロップf131の出力ピンから信号が 출력され、インバータinv131およびNAND131を通過しc131を経由しフリップフロップf132の入力に信号が到達するまでの時間および、フリップフロップf131の出力ピンから信号が 출력され、インバータinv131およびNOR131を通過しc132を経由しフリップフロップ

f133の入力に信号が到達するまでの時間がクロック信号CKの周期以内である必要がある。本実施例でもNAND131およびNOR131およびinv131を構成するすべてのMOSFETを高しきい値電圧で構成した場合には、上記2つの経路のディレイがクロック周期より大きくなり、全てを低しきい値MOSFETで構成した場合には、上記2つの経路のディレイに余裕が発生する（つまり、無駄に電力を消費することになる）とする。

【0056】図12の実施例では、inv1とinv2のどちらを低しきい値電圧で構成しても、消費電力に差はなかったが、本実施例のように、経路がnd131で分岐している場合には、分岐ノードnd131より上流、つまり、両経路に共有される論理ゲートのMOSFETpm131およびnm131を低しきい値電圧にする。これにより、ディレイを目標時間以内におさえるために必要となる低しきい値電圧MOSFETの数を最小限にし、消費電力をさらに抑えることが可能になる。本実施例では、2つの経路に分岐する例を示したが、3分岐、つまり、ファンアウト3以上の場合でも、同様であり本発明に含まれる。

【0057】図14を用いて、pチャネルMOSFETおよびnチャネルMOSFETにより構成される相補型MOSFETを用いた本発明のさらに別の実施例について説明する。フリップフロップf141の出力ピンは論理ゲート回路c141を経由して、第1のpチャネルMOSFETpm141および第1のnチャネルMOSFETnm141のゲート電極に接続されている。pチャネルMOSFETpm141は、第1の動作電位供給線Vdd141と第1のノードnd141の間にソース・ドレイン経路を持つように接続されている。第2のpチャネルMOSFETpm142も同様に、第1の動作電位供給線Vdd141と第1のノードnd141の間にソース・ドレイン経路を持つように接続されている。nチャネルMOSFETnm141と第2のnチャネルMOSFETnm142は、第1のノードnd141と第2の動作電位供給線Vss141との間にソース・ドレイン経路を持つように直列接続されている。

【0058】フリップフロップf142の出力ピンは論理ゲート回路c142を経由して、第3のpチャネルMOSFETpm143および第3のnチャネルMOSFETnm143のゲート電極に接続されている。pチャネルMOSFETpm143は、第2の動作電位供給線Vdd141と第2のノードnd142の間にソース・ドレイン経路を持つように接続されている。第4のpチャネルMOSFETpm144も同様に、第2の動作電位供給線Vdd141と第2のノードnd142の間にソース・ドレイン経路を持つように接続されている。nチャネルMOSFETnm143と第4のnチャネルMOSFETnm144は、第2のノードnd142と第2の動作電位供給線Vss141との間にソース・ドレイン経路を持つように直列接続されている。

【0059】さらに、第1のノードnd141は、第5のpチャネルMOSFETpm145および第5のnチャネルMOSFETnm145のゲート電極に接続されている。さらに、第2のノードnd142は、第6のpチャネルMOSFETpm146および第6のnチャネル

MOSFETnm146のゲート電極に接続されている。pチャネルMOSFETpm145、pm146は、第1の動作電位供給線Vdd141と第3のノードnd143の間にソース・ドレイン経路を持つように接続され、nチャネルMOSFETnm145とnチャネルMOSFETnm146は、第3のノードnd143と第2の動作電位供給線Vss141との間にソース・ドレイン経路を持つように直列に接続されている。さらに、第3のノードnd143は第3のフリップフロップf143の入力ピンに接続されている。なお、本図でもフリップフロップの内部ゲートは省略した。フリップフロップには、クロック信号CKが入力されている。また、枠で囲み示しているように、pチャネルMOSFETpm141、pm142およびnチャネルMOSFETnm141、pm142によりNAND論理ゲートNAND141が構成され、pチャネルMOSFETpm143、pm144およびnチャネルMOSFETnm143、pm144により、インNAND論理ゲートNAND142が構成され、pチャネルMOSFETpm145、pm146およびnチャネルMOSFETnm145、nm146により、NAND論理ゲートNAND143が構成されている。

【0060】本回路は、クロック信号CKがフリップフロップf141に入力されてから、フリップフロップf141の出力ピンから信号が出力され、c141を通過し、NAND141およびNAND143を通過し、フリップフロップf143の入力に信号が到達するまでの時間および、フリップフロップf142の出力ピンから信号が出力され、クロック信号CKがフリップフロップf142に入力されてから、フリップフロップf142の出力ピンから信号が出力され、c142を通過し、インNAND142およびNAND143を通過し、フリップフロップf143の入力に信号が到達するまでの時間がクロック信号CKの周期以内である必要がある。

【0061】本実施例でもNAND141、NAND142、NAND143を構成するすべてのMOSFETを高しきい値電圧で構成した場合には、上記2つの経路のディレイがクロック周期より大きくなり、全てを低しきい値MOSFETで構成した場合には、上記2つの経路のディレイに余裕が発生する（つまり、無駄に電力を消費することになる）とする。図12の実施例では、inv1とinv2のどちらを低しきい値電圧で構成しても、消費電力に差はなかったが、本実施例のように、2つの入力からの経路が合流している場合には、図13で説明したのと同様に、両経路に共有される論理ゲートのMOSFETを優先的に低しきい値電圧にする。つまり、本図では、pm145、pm146およびnm145、nm146を低しきい値電圧のMOSFETとする。このために、ディレイを目標時間以内におさえるために必要となる低しきい値電圧MOSFETの数を最小限にし、消費電力を抑えることが可能になる。なお、本実施例では、2つの経路が合流する例を示したが、3経路以上が合流する場合でも、同様であり本発明に含まれる。

【0062】図21を用いて、pチャネルMOSFETおよびnチャネルMOSFETにより構成される相補型MOSFETおよびnチャネルMOSFETにより構成されるバストランジスタゲート

を用いた本発明の実施例について説明する。

【0063】第1のnチャネルMOSFETnm212のドレイン電極に入力信号in211が入り、第2のnチャネルMOSFETnm213のドレイン電極に入力信号in212が入り、さらに、第2のnチャネルMOSFETnm213のゲート電極に入力信号in213が入り、第1のnチャネルMOSFETnm212のゲート電極に入力信号in213の否定が入り、第1のnチャネルMOSFETnm212および第2のnチャネルMOSFETnm213のソース電極は第1のノードnd211に接続されることで、第1のnチャネルMOSFETnm212および第2のnチャネルMOSFETnm213によって、2入力1出力のセレクタ論理ゲートsel211をバストランジスタにより構成している。

【0064】さらに、第1のノードnd211は、第1のpチャネルMOSFETpm211および第3のnチャネルMOSFETnm211のゲート電極に接続されている。第1のpチャネルMOSFETpm211は、第1の動作電位供給線Vdd211と第2のノードnd212の間にソース・ドレイン経路を持つように接続されて、第3のnチャネルMOSFETnm211は、第2の動作電位供給線Vss211と第2のノードnd212の間にソース・ドレイン経路を持つように接続されている。これにより、第1のpチャネルMOSFETpm211および第3のnチャネルMOSFETnm211により、インバータ論理ゲートinv211が構成されている。図21に示した回路は、バストランジスタ論理ゲートと相補型MOSFET論理ゲートが混在する回路である。

【0065】この時、バストランジスタである第1、第2のnチャネルMOSFETnm212およびnm213を低しきい値電圧にする。近年、コンパクトに論理ゲートを構成できる利点から、バストランジスタによる論理ゲートが注目されているが、低電圧動作時のスイッチング速度の低下が相補型MOSFETに比べ、バストランジスタでは顕著であるという問題点を発明者らは見出していた。そこで、本実施例のように、相補型MOSFETとバストランジスタを混在して使用する半導体集積回路において、バストランジスタを低しきい値電圧で構成することにより、上記問題を解決でき、相補型MOSFETとバストランジスタを混在する半導体装置において、バストランジスタの動作速度を低下させることなく、低電圧、高速動作が可能となる。

【0066】次に、本発明において、しきい値電圧の異なるMOSFETを実現する手段の実施例を説明する。しきい値電圧の異なるMOSFETにより半導体集積回路を構成する第1の手段は、前記MOSFETのゲート酸化膜下の半導体基板の不純物濃度を変えることである。

【0067】図15に示すものは、上記方法を用いて図12の回路をレイアウトした実施例である。図15では、フリップフロップf121、f122は省略した。フリップフロップf121の出力ピンは、term121と接続される。term121は、第1のゲート電極gate121と接続されている。ゲート電極gate121は、p+ソース・ドレイン領域darea121上を通過することにより第1のpチャネルMOSFETpm1が形成され、n+ソース・ドレイン領域darea122上を通過することによ

り第1のnチャネルMOSFETnm1が形成される。p+ソース・ドレイン領域darea121はnウェル領域nw121上に、n+ソース・ドレイン領域darea122はpウェル領域pw121上に形成されている。

【0068】pチャネルMOSFETpm1のソースは、第1の動作電位供給線Vdd121と接続され、ドレインは、nチャネルMOSFETnm1のドレインおよび端子term122に接続する。また、nチャネルMOSFETnm1のソースは、第2の動作電位供給線Vss121に接続されている。図中で黒塗りの正方形は、異なる金属配線層および半導体基板との接続を行うスルーホールを示している。nウェル領域nw121には、スルーホールTH121を通じてVdd121から給電され、pウェル領域pw121には、スルーホールTH122を通じてVss121から給電されている。

【0069】これにより図2のインバータ論理ゲートinv1が構成されている。第1のpチャネルMOSFETpm1および第1のnチャネルMOSFETnm1により、第1のインバータ論理ゲートinv1が構成される。同様に、第2のゲート電極gate122およびp+ソース・ドレイン領域darea123およびn+ソース・ドレイン領域darea124により、第2のpチャネルMOSFETpm2および第2のnチャネルMOSFETnm2が形成され、これらにより第2のインバータ論理ゲートinv2が構成される。inv1の出力端子であるterm122とinv2の入力端子であるterm123が接続され、図12に示すインバータ2段の回路が構成される。

【0070】inv2の出力端子term124は、第2のフリップフロップf122の入力ビンに接続される。ここで、第1のゲート電極gate121の下にハッチングを施した領域area121およびarea122を示した。半導体集積回路の製造過程において、ウェル領域pw121、nw121それぞれに不純物を薄く分布させた後に、選択的にarea121、area122のみに、再度不純物を追加して分布させる工程を行うことにより、これらの領域の不純物濃度が高くなり、MOSFETpm1およびnm1のみが高しきい値電圧になる。

【0071】図5に示すように、この方法によれば、半導体集積回路の任意の場所の論理ゲートを構成するMOSFETのしきい値電圧を自由に変えることができる。図5では、半導体集積回路LSI50の論理ゲートを全て模式的に矩形で表している。網掛けを施した矩形例ええばg51が低しきい値電圧のMOSFETで構成した論理ゲート、白抜きの矩形例ええばg52が高しきい値電圧のMOSFETで構成した論理ゲートを示している。図中にpath51として図2のf11からf12の経路、path52として図2のf13からf14の経路を示した。

【0072】ただし、この方法では、半導体集積回路の製造過程において、基板に不純物を分布させる工程例ええばイオン打ち込み工程が、使用するMOSFETの種類数必要になる。

【0073】図25に示すのは、この方法を用いた場合に、図12の高低2種のしきい値のMOSFETによる2つのイ

ンバータの例についてのデバイスの縦構造例である。図12の例は相補型MOSFETを用いているので、p型基板表面層の一部に、nウェルが形成されている2重ウェル構造をとっている。p基板の表面層には、n+型のソース・ドレイン領域diff2501、diff2504、ゲート酸化膜ox2501、ox2504およびゲート電極gate2501、gate2504が形成されnチャネルMOSFETnm2501、nm2504を構成している。nウェル領域表面層にはp+型のソース・ドレイン領域diff2502、diff2503、ゲート酸化膜ox2502、ox2503、およびゲート電極gate2502、gate2503からなるpチャネルMOSFETpm2502、pm2503が形成されている。さらに、pチャネルMOSFETのソースおよびnウェルにVdd、nチャネルMOSFETのソースおよびp基板にVssが接続されている。

【0074】ここで、nm2501とpm2502により、図12のインバータinv1、nm2504とpm2503により、図12のインバータinv2が構成されているとする。inv1は高しきい値のMOSFETで構成するために、nm2501とpm2502のゲート酸化膜下の半導体基板の不純物濃度（図の不純物濃度1）は高くして、inv2は低しきい値のMOSFETで構成するために、nm2504とpm2503のゲート酸化膜下の半導体基板の不純物濃度（図の不純物濃度2）を低くする。

【0075】また、しきい値電圧の異なるMOSFETにより半導体集積回路を構成する第3の手段は、前記MOSFETのゲート酸化膜厚寸法を変えることである。この手段を用いても、図5に示すように半導体集積回路の任意の場所の論理ゲートを構成するMOSFETのしきい値電圧を自由に変えることができる。ただし、この方法でも、半導体集積回路の製造過程において、ゲート酸化膜を形成する工程例えば熱酸化工程が、使用するMOSFETの種類数必要になる。

【0076】図26は、他のデバイスの縦構造であり、上記の方法を用いた場合に、図12の高低2種のしきい値のMOSFETによる2つのインバータの例について示す図である。

【0077】図25同様に、p型基板表面層の一部に、nウェルが形成されている2重ウェル構造をとっている。p基板の表面層には、n+型のソース・ドレイン領域diff2601、diff2604、ゲート酸化膜ox2601、ox2604およびゲート電極gate2601、gate2604が形成されnチャネルMOSFETnm2601、nm2604を構成している。nウェル領域表面層にはp+型のソース・ドレイン領域diff2602、diff2603、ゲート酸化膜ox2602、ox2603、およびゲート電極gate2602、gate2603からなるpチャネルMOSFETpm2602、pm2603が形成されている。

【0078】さらに、pチャネルMOSFETのソースおよびnウェルにVdd、nチャネルMOSFETのソースおよびp基板にVssが接続されている。ここで、nm2601とpm2602により、図12のインバータinv1、nm2604とpm2603により、図12のインバータinv2が構成されているとする。inv1は高しきい値のMOSFETで構成するために、nm2601とpm2602

のゲート酸化膜の厚さ（図の厚さL1）を厚くして、inv2は低しきい値のMOSFETで構成するために、nm2604とpm2603のゲート酸化膜の厚さ（図の厚さL2）を薄くする。

【0079】また、しきい値電圧の異なるMOSFETにより半導体集積回路を構成する第4の手段は、前記MOSFETのゲート長を変えることである。この手段を用いても、図4に示すように半導体集積回路の任意の場所の論理ゲートを構成するMOSFETのしきい値電圧を自由に変えることができる。

【0080】図6にゲート長としきい値電圧の関係の例を示す。例えば、図6のグラフに示す2点を選び、ゲート長を微少に変えることで、しきい値電圧が異なる2種類のMOSFETを形成することができる。

【0081】図27には、この方法を用いた場合に、図12の高低2種のしきい値のMOSFETによる2つのインバータの例についての、デバイスの縦構造を示す。図25同様に、p型基板表面層の一部に、nウェルが形成されている2重ウェル構造をとっている。p基板の表面層には、n+型のソース・ドレイン領域diff2701、diff2704、ゲート酸化膜ox2701、ox2704およびゲート電極gate2701、gate2704が形成されたチャネルMOSFETnm2701、nm2704を構成している。nウェル領域表面層にはp+型のソース・ドレイン領域diff2702、diff2703、ゲート酸化膜ox2702、ox2703、およびゲート電極gate2702、gate2703からなるpチャネルMOSFETpm2702、pm2703が形成されている。さらに、pチャネルMOSFETのソースおよびnウェルにVdd、nチャネルMOSFETのソースおよびp基板にVssが接続されている。

【0082】ここで、nm2701とpm2702により、図12のインバータinv1、nm2704とpm2703により、図12のインバータinv2が構成されているとする。inv1は高しきい値のMOSFETで構成するために、nm2701とpm2702のゲート長（図のゲート長Lg1）を大きくして、inv2は低しきい値のMOSFETで構成するために、nm2704とpm2703のゲート長（図のゲート長Lg2）を小さくする。

【0083】図7を用いて、本発明において、しきい値電圧の異なるMOSFETを実現する第2の手段の実施例を説明する。しきい値電圧の異なるMOSFETにより半導体集積回路を構成する第2の手段は、前記MOSFETの基板に供給するバイアス電圧値を変えることである。そのために、上記した3つの手段と異なり、しきい値電圧の異なるMOSFETには、異なる基板バイアス電圧を供給するために、ウェル領域を分離する必要が生じる。

【0084】また、それぞれのウェル領域に供給する基板バイアス動作電位供給線が必要になる。そのために、図5のように任意の場所の論理ゲートのMOSFETのしきい値電圧を自由に変えることは、面積の増加が大きく現実的ではない。

【0085】そこで、図7に示すように、同一のしきい

値電圧のMOSFETはなるべくまとめて同一のウェル領域上に構成するレイアウトを行う。ただし、この手段を用いる場合には、複数のしきい値電圧のMOSFETを形成するための付加的な製造工程の必要がないという利点がある。

【0086】図7では、半導体集積回路LSI70上にwell171からwell75のウェル領域を構成した例である。ここで、well71からwell74が低しきい値電圧MOSFET用のウェル領域、well75が高しきい値電圧のMOSFET用のウェル領域である。この場合には、MOSFETのしきい値電圧によって論理ゲートを配置できる場所に制約が生じるために、論理ゲートのレイアウトの際に、この制約を守った配置を行う必要がある。

【0087】図7は低しきい値電圧のMOSFETによる論理ゲートと高しきい値電圧のMOSFETによる論理ゲートの面積比を1:3で構成した例である。この比は、目標とする動作周波数および目標とするリード電流値および搭載する論理回路によって決まるものである。また、本発明をゲートアレイに用いる際には、予め、低しきい値電圧のMOSFETによる論理ゲートと高しきい値電圧のMOSFETによる論理ゲートの使用比率の概略値を見込んで、拡散層までの下地を形成しておくことになる。また、図7に示すように、2種類のしきい値のMOSFETを用いる際には、2種類の基板バイアス供給用の動作電位供給線が必要になる。

【0088】図7では、nチャネルMOSFETまたはpチャネルMOSFETのどちらか単独で構成する例であるが、nチャネルMOSFETとpチャネルMOSFETを両方用いて相補型MOSFETにより半導体集積回路を構成する実施例を説明する。相補型MOSFETの場合は、nチャネルMOSFETを構成するためのpウェル領域とpチャネルMOSFETを構成するためのnウェル領域が必要になり、それぞれのバイアス電圧値を可変とするために、3重ウェル構造を用いる。

【0089】図8は、図12の高低2種のしきい値のMOSFETによる2つのインバータの例について、三重ウェル構造を採用したデバイスの縦構造を示したものである。n型基板表面層の一部に、絶縁された2つのpウェルp-well111およびp-well112が形成されており、さらに、p-well111の表面層の一部にnウェルn-well111、p-well112の表面層の一部にnウェルn-well112が形成されている3重ウェル構造をとっている。pウェルの表面層にn+型のソース・ドレイン領域diff801、diff804、ゲート酸化膜ox801、ox804およびゲート電極gate801、gate804が形成されnチャネルMOSFETnm801、nm804を構成している。nウェル領域表面層にはp+型のソース・ドレイン領域diff802、diff803、ゲート酸化膜ox802、ox803、およびゲート電極gate802、gate803からなるpチャネルMOSFETpm802、pm803が形成されている。

【0090】pチャネルMOSFETのソースにVdd、nチャネルMOSFETのソースにVssが接続されている。pチャネルMOSFETpm802のnウェルにVbp1、nチャネルMOSFETnm801の

pウェルにVbn1が接続されている。さらに、pチャネルMOSFETpm803のnウェルにVbp2、nチャネルMOSFETnm804のpウェルにVbn2が接続されている。ここで、nm801とpm802により、図12のインバータinv1、nm804とpm803により、図12のインバータinv2が構成されているとする。inv1は高しきい値のMOSFETで構成し、inv2は低しきい値のMOSFETで構成するために、Vbp1をVbp2より高い電圧に、Vbn1をVbn2より低い電圧にする。それぞれの電圧値は、例えば、Vdd=1.5V、Vss=0V、Vbp1=2.0V、Vbn1=0.5V、Vbp2=1.5V、Vbn2=0V等に設定する。

【0091】図16に図8の構造のデバイスによる図12の回路のレイアウトの平面図を示す。図16が図15と異なる点は、第1のゲート電極gate121とp+ソース・ドレイン領域darea121により構成される第1のpチャネルMOSFETpm1と、第2のゲート電極gate122およびp+ソース・ドレイン領域darea123により構成される第2のpチャネルMOSFETpm2は、それぞれ別のnウェル領域nw151およびnw152上に形成されていることである。同様に、第1のゲート電極gate121とn+ソース・ドレイン領域darea122により構成される第1のnチャネルMOSFETnm1と、第2のゲート電極gate122およびn+ソース・ドレイン領域darea124により構成される第2のnチャネルMOSFETnm2は、それぞれ別のpウェル領域pw151およびpw152上に形成されている。

【0092】これは、ウェル領域に供給する電位を低しきい値MOSFETと高しきい値MOSFETで変えるために、ウェル領域の分離が必要になるためである。nw151は、スルーホールTH151を通じて、第3の動作電位供給線Vbp151によりバイアス電圧を供給され、nw152は、スルーホールTH153を通じて、第4の動作電位供給線Vbp152によりバイアス電圧を供給され、pw151は、スルーホールTH152を通じて、第5の動作電位供給線Vbn151によりバイアス電圧を供給され、nw152は、スルーホールTH154を通じて、第6の動作電位供給線Vbn152によりバイアス電圧を供給されている。MOSFETの基板に供給するバイアス電圧値を変える方法によれば、図16に示すように、新たな動作電位供給線が必要になることやウェル領域を分離する必要が生じること等の理由からレイアウト面積は大きくなるが、図15の場合のように、半導体集積回路の製造過程において新たな工程を行うことなくMOSFETのしきい値電圧を変化させることが可能になる利点がある。

【0093】図9に、図8に示した粗細型MOSFETにより構成した本発明の半導体集積回路装置の実施例を示す。図9の(a)は半導体集積回路LSI190上に、論理ゲートを横一列に配置し、複数の列row91からrow98を縦方向に並べることにより、論理ゲートを2次元的に配置した例である。本実施例において、論理ゲートは矩形で示され、内部のパターンは省略したが、pチャネルMOSFETとnチャネルMOSFETが上下に配置されている。ここで、row91およびrow96上の論理ゲートは、低しきい値電圧のMOSFETにより構成され、それ以外の列の論理ゲートは全て高しき

い値電圧のMOSFETで構成している。

【0094】この場合、pw91からpw94の絶縁された4つのpウェル領域が必要になる。隣接している列row92、row93、row94、row95は、同一のしきい値電圧のMOSFETにより構成されるためpウェル領域pw92を共有することができる。同様に、row97とrow98はpウェル領域pw94を共有している。また、nw91からnw95の5つのnウェル領域が必要になる。nウェルについても、隣接している列row92とrow93は1つのnウェル領域nw92、row93とrow94はnウェル領域nw93、row97とrow98はnウェル領域nw95を共有することができる。

【0095】また、図9の(b)に(a)の配置を行った場合の基板バイアス電源を供給するための動作電位供給線を示す。図9の(b)では、煩雑を避けるためにウェル領域は省略した。wire91からwire94は、列に平行に配線されいる。また、列の左右に補強用に直角方向にも配線を施した例を示してある。wire91は高しきい値MOSFETのpウェルに、wire92は高しきい値MOSFETのnウェルに、wire93は低しきい値MOSFETのpウェルに、wire94は低しきい値MOSFETのnウェルに、それぞれバイアス電源を供給している。このようにレイアウトすることで、ウェルの分離を少なくし、基板に供給するバイアス電圧値を変える手段を用いて、しきい値電圧の異なるMOSFETにより半導体集積回路を構成する場合の面積の増加を最小限にすることが可能となる。

【0096】次に、本発明において、しきい値電圧の異なるMOSFETを実現する第2の手段をSOI(シリコン・オン・インシレータ)デバイス構造を用いて実施した例を示す。SOI構造では、個々のMOSFETのウェル領域を分離する必要がない。そのため、上述したような、しきい値電圧の同一のMOSFETをまとめて同一のウェル領域に構成する必要がない。この場合は、図5に示したように、半導体集積回路上の任意の場所に任意のしきい値電圧のMOSFETを配置することができる。ただし、しきい値電圧の異なるMOSFETを実現する第2の手段は基板バイアス電源の電圧値を変える必要があるので、そのための動作電位供給線が必要になる。

【0097】図22にその実施例を示す。半導体集積回路LSI220は、SOI構造の相補型MOSFETにより構成された論理ゲートを列状に配置した例である。図中で論理ゲート、例えばg221、g222は矩形で表している。g221のように、網掛けの矩形は、低しきい値電圧のMOSFETで構成された論理ゲートを、g222のように、白色の矩形は、高しきい値電圧のMOSFETで構成された論理ゲートである。

【0098】また、低しきい値電圧のpチャネルMOSFETの基板バイアス電位供給線Vbp221、高しきい値電圧のpチャネルMOSFETの基板バイアス電位供給線Vbp222、低しきい値電圧のnチャネルMOSFETの基板バイアス電位供給線Vbn221、低しきい値電圧のnチャネルMOSFETの基板バイアス電位供給線Vbn221がそれぞれ列と平行に配線され

ている。

【0099】なお、本図に於いては、MOSFETのソース電極の電位給電線は省略した。スルーホールTH211、TH222などにより、電位供給線と基板を接続され、各ゲートを構成するMOSFETの基板のバイアス電源が供給されている。ここで、図のように、列と平行のバイアス電位供給線を、しきい値の種類数（ただし、相補型MOSFETの場合は、pチャネルMOSFET用とnチャネルMOSFET用の電位供給線が夫々必要である）配線しておき、MOSFETのしきい値電圧によって、スルーホールを打ち分けることにより、異なったしきい値電圧のMOSFETを任意の場所に配置することができる。

【0100】つまり、本発明において、基板バイアス電源を変えることによってMOSFETのしきい値電圧を変える手段を用いた場合、面積の増加が少ないとから、SOIデバイス構造を用いることが、より好適である。

【0101】次に、以上述べた本発明の半導体集積回路を設計するために必要なセルライブラリを記憶した記憶媒体の実施例について説明する。実施例の説明の前に、まずセルおよびセルライブラリの簡単な説明を以下に述べる。通常、半導体集積回路を設計する際には、予め設計されたセルと呼ばれる小規模な論理機能を有する部品を用いる。セルは、内部の回路要素とその接続、レイアウトパターン等を予め設計し、形状、外部との接続用の端子位置、論理機能、ディレイ特性、消費電力特性などの情報をセルライブラリとして登録しておく。セルライブラリ記憶した記憶媒体を配布することにより、すでに設計された動作が保証された部品を多くの半導体集積回路の設計に用いることが可能となる。

【0102】図10に本発明のセルライブラリを記憶した記憶媒体の例を示す。図10の例では、3種のインバータセルが登録されたライブラリを記憶した例である。セルに関する情報として、本実施例では、セルの名称、寸法、ゲート長、ピン、ディレイ特性、リーク電流、しきい値電圧、機能等が書かれている。c101は標準のインバータセル、c102は、MOSFETのゲート幅Wを倍にしたセルである。

【0103】従来技術では、このように同一機能のセルを複数用意する場合は、ゲート幅Wを変え、ディレイ特性を変えたセルを用意していた。c103は、c102と同じゲート幅W、同じ寸法を持っているが、ディレイ特性および消費電力特性のみが異なるセルである。つまり、c103がMOSFETのしきい値電圧が低いMOSFETにより構成されたセル、つまりリーク電流が大きくディレイが小さいセルである。上に述べたような本発明の半導体集積回路装置を設計、製造するためには、図10に示すライブラリが必要になる。例えば、本発明の半導体集積回路装置の製造工程において、しきい値電圧が異なるMOSFETを使用する場合、選択的に不純物を追加する工程やゲート酸化膜の厚さを場所によって変えるための工程において、特別

なマスクパターンが必要になることは上述した。

【0104】このマスクパターンを作る際に、設計された集積回路のセルおよび配線のレイアウト情報、セルの接続情報、および、どのセルがどのしきい値のMOSFETにより構成されているかを認識できる情報が必要である。各セルのMOSFETのしきい値電圧に関する情報は、本発明のセルライブラリを記憶した記憶媒体に格納されているので、この情報を用いることで、上記したマスクパターンを作ることができる。この意味において、セルライブラリを記憶した記憶媒体でなく、セルおよび配線の接続関係いわゆるネットリストを記憶した記憶媒体において、しきい値電圧の異なるMOSFETを認識できる情報を持つことも本発明から容易に類推でき、本発明に含まれる。

【0105】なお、本実施例では、インバータセルを示したが、このほかAND、OR、NAND、NOR、セレクタ、フリップフロップ等のセルでも同様に実施することができ、本発明を実施するセルの種類は、特に限定されるものではない。

【0106】次に、上記ライブラリを記憶した記憶媒体を用いた設計方法の例を説明する。

【0107】図23は、図10のセルライブラリを記憶した記憶媒体を用いて、論理設計を行う過程を示している。図で、矩形の箱step230～step232は処理、黒い矢印は処理の流れ、白抜きの矢印はデータの流れを示している。論理記述LUG230は、例えばVHDL等の上位論理記述言語で書かれたものである。論理記述LUG230を読み込み、論理最適化処理step230を行う。

【0108】論理最適化処理step230は、テクノロジーに依存しない最適化処理であり、例えば論理をブール式で表現してブール式の項数を最小化する等の処理である。この時、ディレイ推定処理step231により推定したディレイをもとに、最適化処理を行う。その後、セル割り当て処理step232を行う。これは、セルライブラリLIB230を読み込み、テクノロジーに依存しない論理を、実際のセルに割り当てる処理である。

【0109】ここでは、ディレイ計算処理step233および消費電力計算処理step234を繰り返し実行し、最適なセル割り当てを行い、ネットリストnet230を出力する。セル割り当て処理が、本発明の設計方法の特徴的な処理であるため、図中に詳細な例を示した。この例では、今、AからDの経路の一部のセル割り当ての実行中である。既にAからB、CからDの経路のセル割り当てが完了し、それぞれのディレイが3.22nsec、1.70nsecであるとする。BからCの論理がC=not(B)で表現されているとすると、このブール式はインバーターに割り付けられるべき事が分かる。AからDまでの経路の目標ディレイを5nsecとすると、インバーターのディレイは、0.08以下である必要がある。

【0110】このとき、同一の機能つまりインバータセ

ルであり、しきい値電圧が異なるために、ディレイ値が異なるセルc102およびc103が存在することが、セルライブラリLIB230を読み込んだ結果として、わかっている。ここで、それぞれのセルを用いた場合のディレイと省電力を計算し、その結果、低しきい値電圧のセルc103が選択される。

【0111】図24を用いて、上記ライブラリを記憶した記憶媒体を用いた別の設計方法の例を説明する。図24は、図10のセルライブラリを記憶した記憶媒体を用いて、論理設計を行う過程を示している。図23と同じく矩形の箱step240～step244は処理、黒い矢印は処理の流れ、白抜きの矢印はデータの流れを示している。論理記述LOG240を読み込み、論理最適化処理step240を行う。これは図23におけるstep230と同様である。その後、高しきい値セルのみを用いたセル割り当て処理step241を行う。

【0112】図23の実施例同様に、ディレイおよび消費電力計算処理step242を繰り返し実行し、高しきい値セルのみを使用するという限定のもとで最適なセル割り当てを行う。その後、配置配線処理step243を行う。さらに、配置配線後の実際の配線長を考慮に入れ、ディレイおよび消費電力計算処理step242を行った結果、より精度の高い計算結果が得られる。その結果、ディレイ違反経路が存在した場合に、違反経路上のセルを同一機能で低しきい値MOSFETのセルに置き換える処理step244を行い、レイアウト情報が付加されたネットリストnet240を出力する。これにより、周囲のレイアウトを変更せずに違反を解消できるという利点がある。

【0113】また、図24の実施例とは逆に、低しきい値MOSFETセルのみを用いて、セル割り当てと配置配線を行い、その後にディレイ計算を行った結果、ディレイ余裕が存在した場合に、ディレイに余裕のある経路上のセルを高しきい値MOSFETのセルに置き換える方法も考えられる。

【0114】次に、約8000セルからなる半導体集積回路に、本発明を実施した例について説明する。本実施例では、ゲート長0.25μmの相補型MOSFETをVdd=1.6V、Vss=0Vで動作させた例である。

【0115】図18は、横軸にサイクルタイム（最大経路ディレイ）をとり、縦軸にそのディレイ値の経路に含まれるセル数をとったグラフである。セルが複数の経路に含まれる場合は、最も大きなディレイ値の経路に含まれるとする。実線(1)は、一律に高しきい値電圧(0.15V)のMOSFETを使用した場合、太い実線(2)は、本発明を実施した結果で、高しきい値電圧(0.15V)、低しきい値電圧(-0.05V)とした場合、薄い実線(3)は、一律低しきい値電圧(-0.05V)のMOSFETを使用した場合を示している。実線(1)は最大5nsecの経路が存在するが、(2), (3)では、最大3.95nsecであり、両方とも高速化されていることがわかる。

【0116】しかし、(3)のように一律しきい値を下げた場合は、ディレイ値が小さい領域も高速化されており、(1)の分布を左に平行移動した形になっている。このことは、高しきい値電圧のMOSFETを用いても目標サイクル以内に収まっている経路のセルも高速化し、無駄に電力を消費していることを示している。

【0117】一方、本発明の実施結果である(2)では、ディレイの小さい領域では、(1)の分布と殆ど変化せずに、3.95nsec～5nsecの範囲のみを左に圧縮した形になっている。つまり、無駄な電力を消費せずに高速化できていることを示している。

【0118】図17は、横軸にサイクルタイム（最大経路ディレイ）をとり、縦軸にリーク電流による消費電力をとったグラフである。本回路は、一律に高しきい値電圧(0.15V)のMOSFETを使用した場合には、サイクルタイム5nsec(200MHz)で動作する回路である。消費電力の値は、一律に高しきい値電圧(0.15V)のMOSFETで構成した場合の消費電力を1として、正規化してある。

【0119】図中で、三角印で示したのは、一律にしきい値電圧を下げた場合の結果で、丸印で示したのが本発明により2種のしきい値電圧のMOSFETの使用を実施した結果である。各プロット点の横にしきい値電圧を示した。例えば、本発明では、低しきい値電圧を-0.05V、高しきい値電圧を0.15Vとし、2種のしきい値電圧のMOSFETを使用した場合には、サイクルタイムは3.95nsec(253MHz)まで高速化でき、消費電力は約20になる。

【0120】一方、一律にしきい値電圧を-0.05Vにした場合は、サイクルタイムは、同様に3.95nsecになるが、消費電力は60以上になってしまう。また、例えば、リーク電流による消費電力を10以内に抑えるという条件では、一律にしきい値電圧を変える場合はサイクルタイム4.33nsec(231MHz)であるが、本発明によれば、サイクルタイム4.07nsec(246MHz)まで高速に動作できることがわかる。

【0121】また、図17において、本発明を実施した場合の、低しきい値電圧MOSFETの比率は、低しきい値電圧0.1Vの時は6%、低しきい値電圧0.05Vの時は15%、低しきい値電圧0.0Vの時は23%、低しきい値電圧-0.05Vの時は30%となる。しきい値電圧を下げた場合のMOSFETのリーク電流は指数関数的に増加するために、しきい値を下げるMOSFETの比率は30%程度以内が望ましい。適切な消費電力に抑えるためには、10%以内に抑えることが、より好適である。本発明によれば、低しきい値電圧にするMOSFETを最小限にすることが可能であり、全体のMOSFETに対する低しきい値MOSFETの比率が30%以内であることも、本発明の特徴である。

【0122】上記実施例から、本発明を実施することにより、高速に動作させるアクティブ動作時においても、MOSFETのリーク電流による消費電力の増加を最小限に抑えた上で、高い動作速度の半導体集積回路装置が得られ

ることが明らかである。

【0123】図28に、本発明の半導体集積回路をマイクロプロセッサに適用した例について示す。図28は、マイクロプロセッサの主な構成ブロックを示しており、その内部のセルの配置を矩形で模式的に表している。

【0124】図28の例では、構成ブロックは、CPU(中央演算装置)、FPU(浮動小数点演算ユニット)、キャッシュ(内蔵メモリ)、BSC(バス制御)、DMA(ダイレクトメモリアクセス)、CPG(クロック制御)、INT(割込み制御)等である。古くブロック内のセルのうち網掛けを施したもののは低しきい値、白抜きのものは高しきい値のセルである。例えば、タイミングクリティカルな経路が多く存在する、CPU、FPU、キャッシュ等は低しきい値のセルの数が多いことが分かる。またタイミングに余裕のあるブロックINT等は、低しきい値のセルの割合が少ない。このように、本発明によれば、単にブロック毎にしきい値電圧を変えるのではなく、同一のブロックにおいても、必要に応じ低しきい値のMOSFETと高しきい値のMOSFETを適宜使い分け、かつ、低しきいのMOSFETの使用を最小限に抑えることが可能であり、高速動作と低消費電力を同時に実現することが可能になる。

【0125】また、本発明は、アクティブ時の高速動作と低リーク電流を実現するものであるが、スタンバイ時に基板バイアス電源を制御することにより、しきい値を上げる公知の技術と組み合わせることも可能である。

【0126】以上説明してきた実施例においては、しきい値電圧の異なる2種類のMOSFETを用いる場合を主に説明したが、3種類以上のしきい値電圧のMOSFETを混在させることも容易に実施可能であり、本発明に含まれる。

#### 【0127】

【発明の効果】以上説明したように本発明によれば、ある一定の動作状態で同一の機能ブロックにおいてできても、しきい値電圧の異なるMOSFETを適宜選択して、半導体集積回路装置を構成することにより、アクティブ動作時にMOSFETのリーク電流による消費電力の増加を抑えた上で、高速に動作動作可能な半導体集積回路装置が得られる。

#### 【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の代表的な実施例の論理ゲート回路図。

【図2】本発明の半導体集積回路装置の別の実施例の論理ゲート回路図。

【図3】本発明の半導体集積回路装置の別の実施例の論理ゲート回路図。

【図4】本発明の半導体集積回路装置の別の実施例の論理ゲート回路図。

【図5】本発明の半導体集積回路装置の実勢例における論理ゲートの配置図。

【図6】ゲート長としきい値電圧の関係を示す図。

【図7】本発明の半導体集積回路装置の実勢例における

ウェル領域の構成図。

【図8】本発明の半導体集積回路装置の実施例におけるデバイス構造断面図。

【図9】本発明の半導体集積回路装置の別の実勢例におけるウェル領域の構成図。

【図10】本発明のセルライブラリを記憶した記憶媒体の実施例。

【図11】一般的な信号経路のディレイ値の分布の例を示す図。

【図12】本発明の半導体集積回路装置の実施例のMOSFET回路図。

【図13】本発明の半導体集積回路装置の別の実施例のMOSFET回路。

【図14】本発明の半導体集積回路装置の別の実施例のMOSFET回路図。

【図15】本発明の半導体集積回路装置の実施例のレイアウト図。

【図16】本発明の半導体集積回路装置の別の実施例のレイアウト図。

【図17】本発明の実施例でのディレイと消費電力の関係を示す図。

【図18】本発明の実施例でのディレイ値の分布を示す図。

【図19】本発明の半導体集積回路装置の実施例の論理ゲート回路図。

【図20】本発明の半導体集積回路装置の実施例の論理ゲート回路図。

【図21】本発明の半導体集積回路装置のバストランジスタと相補型MOSFETが混在した実施例のMOSFET回路図。

【図22】本発明をSOIデバイス構造を用いて実施した場合の半導体集積回路装置のレイアウト図。

【図23】本発明の半導体集積回路の設計方法の実施例を示す図。

【図24】本発明を半導体集積回路の設計方法の別の実施例を示す図。

【図25】本発明の半導体集積回路装置の実施例におけるデバイス構造断面図。

【図26】本発明の半導体集積回路装置の別の実施例におけるデバイス構造断面図。

【図27】本発明の半導体集積回路装置の別の実施例におけるデバイス構造断面図。

【図28】本発明の半導体集積回路装置をマイクロプロセッサに適用した実施例の図。

#### 【符号の説明】

g11～g222 …… 論理ゲート

gg191, gg192, gg201, gg202 …… 論理ゲート群

f11～f14, f121～f143, f191～f203 …… フリップフロップ

LS150, LS170, LS190 …… 半導体集積回路

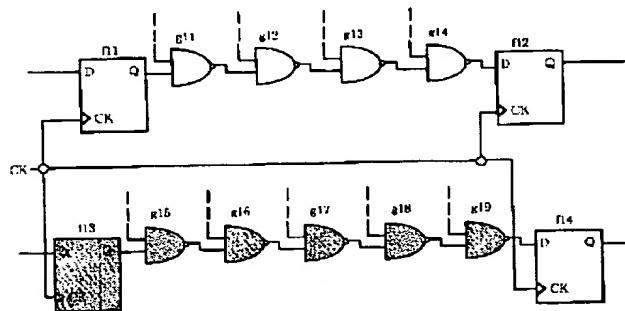
we1171～we1174 …… ウェル領域

darea121~darea124、diff801~diff2704 …… ソース・ドレイン領域  
 ox801~ox2704 …… ゲート酸化膜  
 gate121~gate2704 …… ゲート電極  
 row91~row98 …… 論理ゲート列  
 pw91~pw94、pw121、pw151、pw152、802 …… pウェル領域  
 nw91~nw95、nw121、nw151、nw152、803 …… nウェル領域  
 wire91~wire94、Vdd、Vss、Vdd121、Vdd131、Vdd141、Vss121、vss131、Vss141、Vbp1~Vbp222、Vbn1~Vbn222 …… 動作電位供給線  
 c101~c103 …… セル  
 nd1、nd2、nd131~nd141~nd143、nd211~nd212 …… ノード

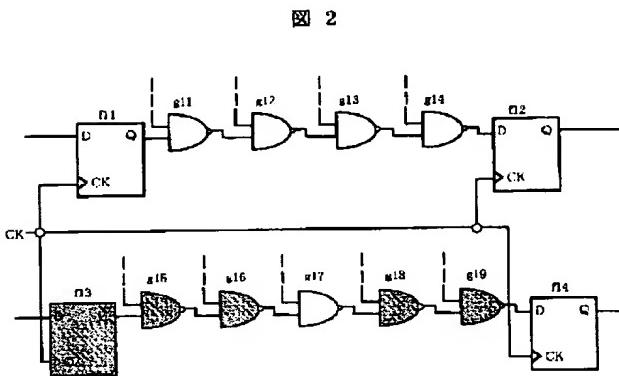
pm1~pm2703 …… pチャネルMOSFET  
 nm1~nm2704 …… nチャネルMOSFET  
 inv1、inv2、inv131、inv211 …… インバータ論理ゲート  
 NAND131、NAND141~NAND143 …… NAND論理ゲート  
 term121~term124 …… 端子  
 TH121、TH122、TH151~TH154、TH221、TH222 …… スルーホール  
 c131、c132、c141、c142、c191、c201 …… 論理ゲート回路  
 step230~step232、step240~step244 …… 処理ステップ  
 LOG230、LOG240 …… 論理記述  
 LIB230、LIB230 …… セルライブラリ  
 net230、net240 …… ネットリスト。

【図1】

図 1

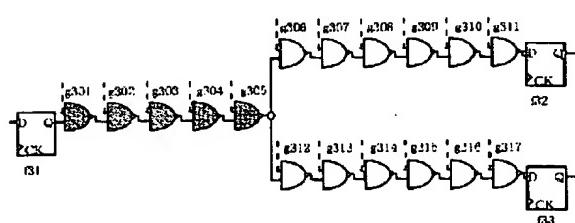


【図2】

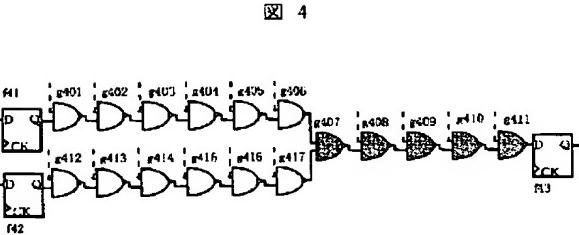


【図3】

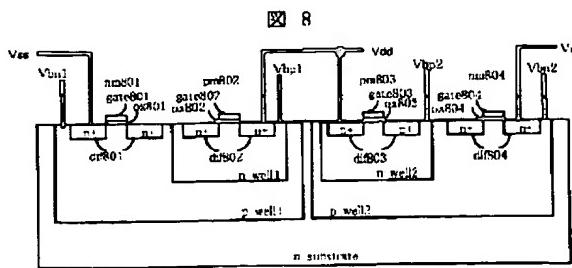
図 3



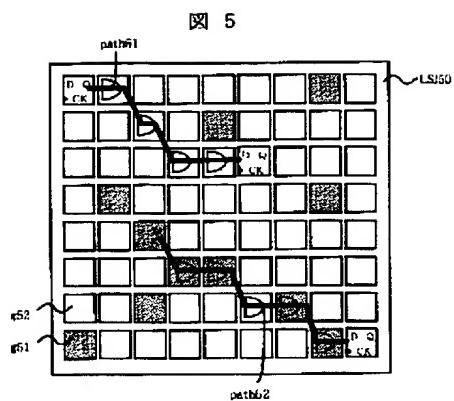
【図4】



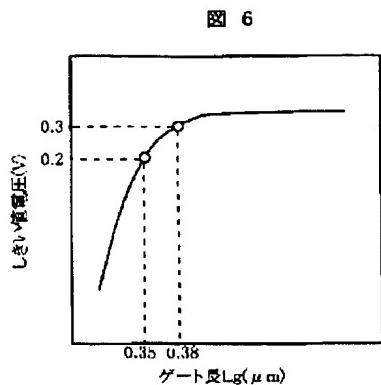
【図8】



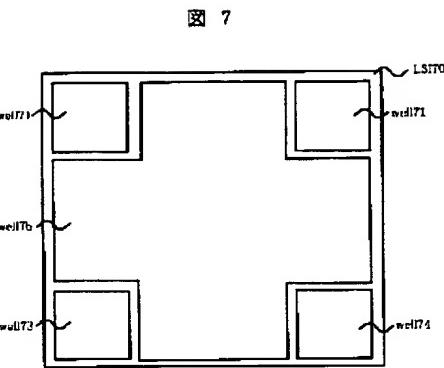
【図5】



【図6】

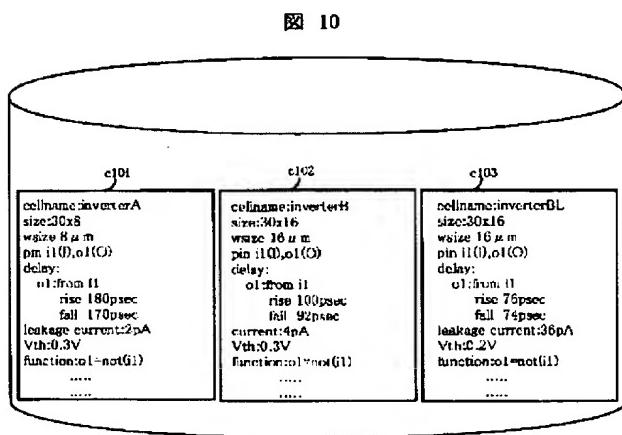
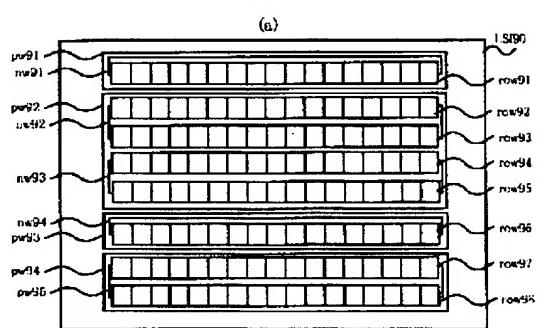


【図7】



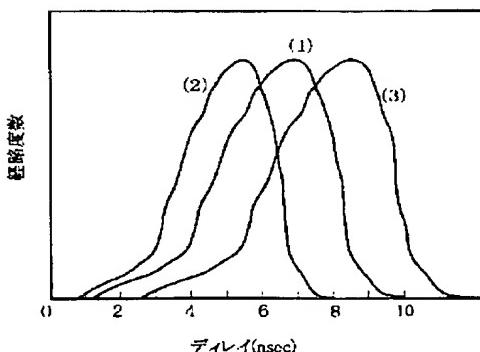
【図9】

図9



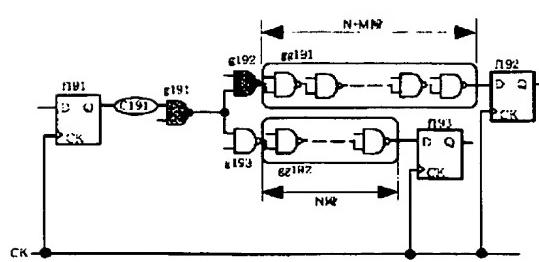
【図11】

図11



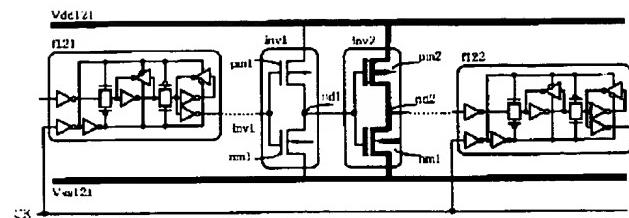
【図19】

図19



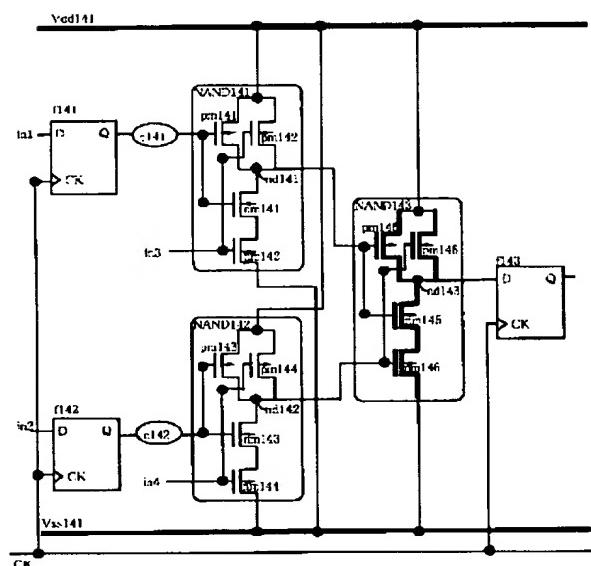
【図12】

図 12



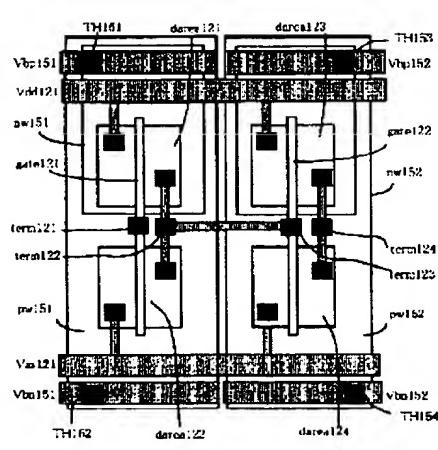
【図14】

図 14



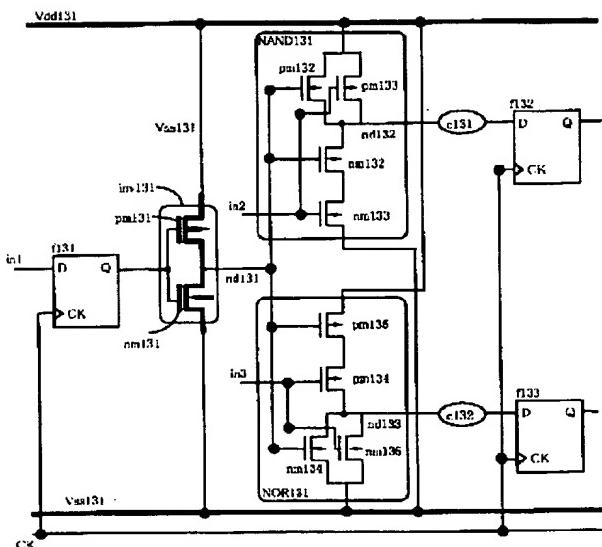
【図16】

図 16



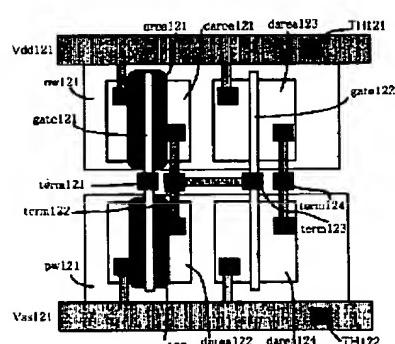
【図13】

図 13



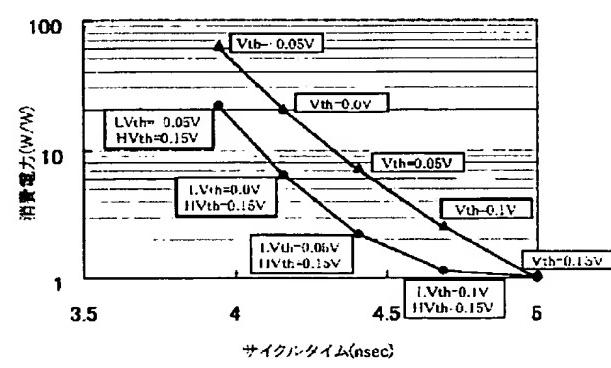
【図15】

図 15



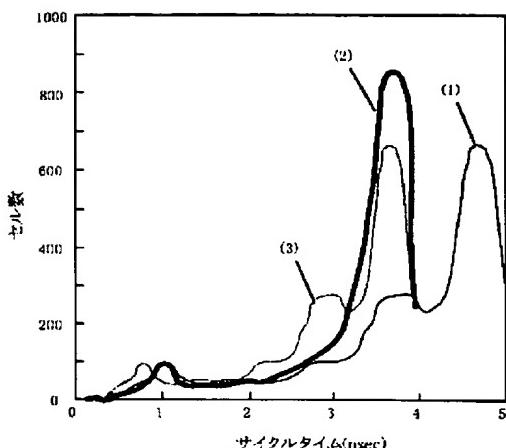
【図17】

図 17



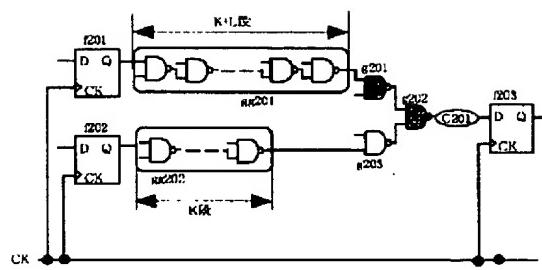
【図18】

図 18



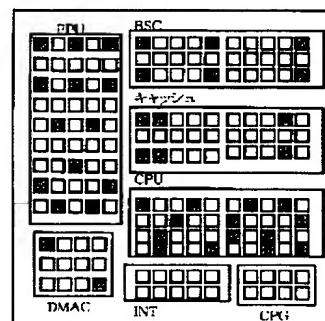
【図20】

図 20



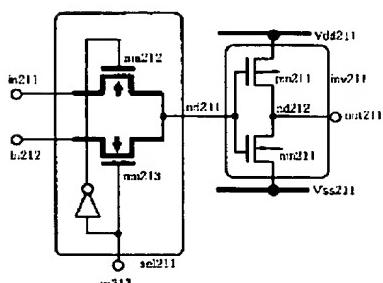
【図28】

図 28



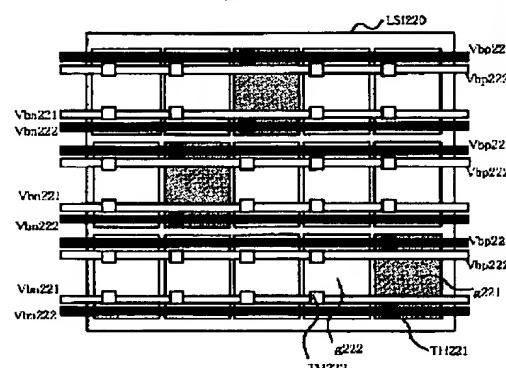
【図21】

図 21



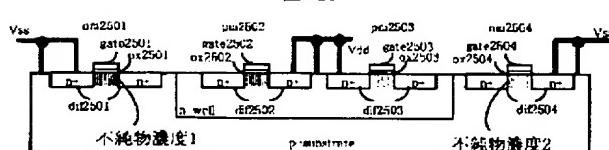
【図22】

図 22



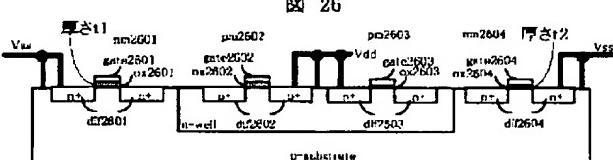
【図25】

図 25



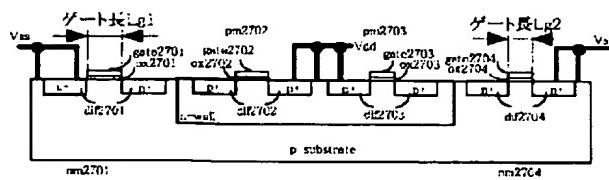
【図26】

図 26

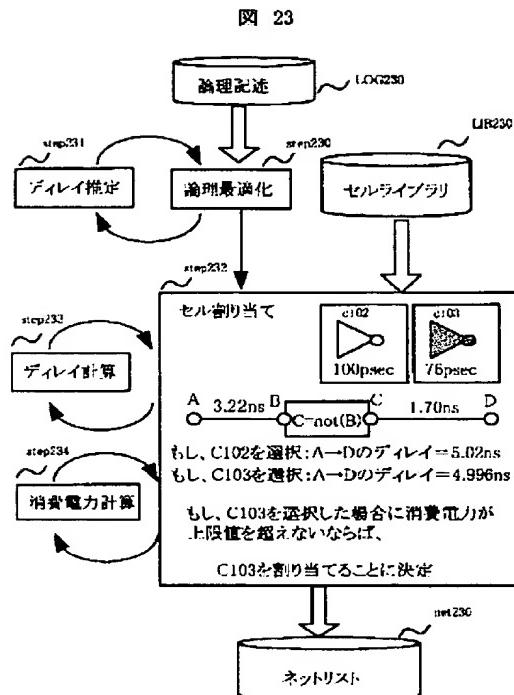


【図27】

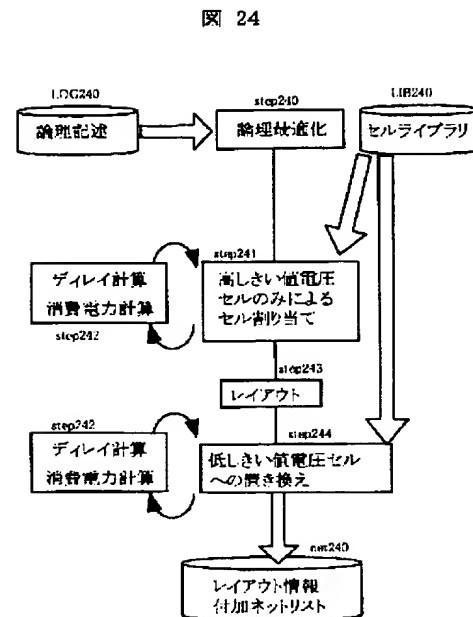
図 27



【図23】



【図24】



## フロントページの続き

(72) 発明者 平木 充  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

**THIS PAGE BLANK (USPTO)**

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 11195976  
PUBLICATION DATE : 21-07-99

APPLICATION DATE : 26-12-97  
APPLICATION NUMBER : 09359277

APPLICANT : HITACHI LTD;

INVENTOR : HIRAKI MITSURU;

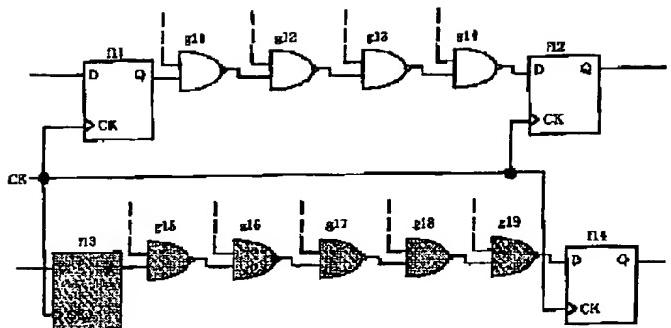
INT.CL. : H03K 19/0944 G06F 17/50 H01L 27/04  
H01L 21/822

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, STORAGE MEDIUM STORING CELL LIBRARY AND DESIGN METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

ABSTRACT : PROBLEM TO BE SOLVED: To suppress increase of power consumption by the leak current of a MOSFET at the time of an active operation by appropriately selecting the MOSFET of different thresholds in a certain fixed operation state and in the same function block and constituting a semiconductor integrated circuit.

SOLUTION: This circuit is constituted of flip-flops f11-f14 and NAND elements g11-g19. In this case, delay in the case of constituting the NAND elements and the flip-flops of the MOSFET of a high threshold voltage is defined as 1 nsec and the delay in the case of constituting them of the MOSFET of a low threshold voltage is defined as 0.8 nsec. Logic gates f13 and g15-g19 are constituted of the MOSFET of the low threshold voltage and the elements indicated by voids are constituted of the MOSFET of a high threshold voltage. Thus, the delay in a route from f11 and g11 through g14 to f12 is 5 nsec and the delay in the route from f13 and g15 through g19 to f14 is 4.8 nsec.

COPYRIGHT: (C)1999,JPO



**THIS PAGE BLANK (USPTO)**